

MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

Publication number: JP2530990 (B2)

Publication date: 1996-09-04

Inventor(s): ICHIMURA TERUHIKO ; NASU YASUHIRO ; MATSUMOTO TOMOTAKA

Applicant(s): FUJITSU LTD

Classification:


- **international:** G02F1/1343; G02F1/136; G02F1/1368; H01L21/22; H01L21/223; H01L21/336; H01L21/77; H01L21/84; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L29/66; (IPC1-7): H01L29/786; G02F1/1343; G02F1/136; H01L21/336


- **European:** H01L29/786S; H01L21/223E; H01L21/336D2B; H01L21/77T

Application number: JP19930169288 19930708

Priority number(s): JP19930169288 19930708; JP19920276884 19921015; JP19930038795 19930226

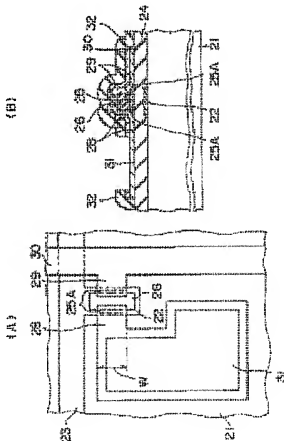
Also published as:

 JP6310533 (A)

 US5407845 (A)

Abstract of JP 6310533 (A)

PURPOSE: To reduce the number of photomasks to be used and to improve yield by making use of four photomasks enough for a lithography process by each specified patterning from a first stage to a fourth stage. **CONSTITUTION:** A first photomask is used when a gate electrode 22 and a gate bus line 23 are used. A second photomask is used when a semiconductor film 25 which becomes an active layer of a transistor is patterned on the gate electrode 22. A third photomask is used when a picture element electrode 31, a source electrode 28, a drain electrode 29, a drain bus line 30 and a drain bus terminal part are formed. A fourth photomask is used when a film on the picture element electrode 31, the drain bus line terminal part and a gate bus terminal part is removed. Four photomasks are enough for patternings from a first stage to a fourth stage.



Data supplied from the esp@cenet database — Worldwide

MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

Publication number: JP6310533 (A)

Publication date: 1994-11-04

Inventor(s): ICHIMURA TERUHIKO; NASU YASUHIRO; MATSUMOTO TOMOTAKA

Applicant(s): FUJITSU LTD

Classification:


- **international:** G02F1/1343; G02F1/136; G02F1/1368; H01L21/22; H01L21/223; H01L21/336; H01L21/77; H01L21/84; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L21/70; H01L29/66; (IPC1-7): H01L21/22; H01L21/336; G02F1/1343; G02F1/136; H01L29/784


- **European:** H01L29/786S; H01L21/223E; H01L21/336D2B; H01L21/77T

Application number: JP19930169288 19930708

Priority number(s): JP19930169288 19930708; JP19920276884 19921015; JP19930038795 19930226

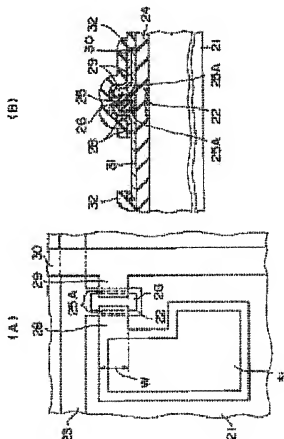
Also published as:

 JP2530990 (B2)

 US5407845 (A)

Abstract of JP 6310533 (A)

PURPOSE: To reduce the number of photomasks to be used and to improve yield by making use of four photomasks enough for a lithography process by each specified patterning from a first stage to a fourth stage. **CONSTITUTION:** A first photomask is used when a gate electrode 22 and a gate bus line 23 are used. A second photomask is used when a semiconductor film 25 which becomes an active layer of a transistor is patterned on the gate electrode 22. A third photomask is used when a picture element electrode 31, a source electrode 28, a drain electrode 29, a drain bus line 30 and a drain bus terminal part are formed. A fourth photomask is used when a film on the picture element electrode 31, the drain bus line terminal part and a gate bus terminal part is removed. Four photomasks are enough for patternings from a first stage to a fourth stage.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-310533

(43) 公開日 平成6年(1994)11月4日

(51) Int.Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/784				
G 0 2 F 1/1343 1/138		9017-2K 9119-2K 9058-4M		
	5 0 0			
			H 0 1 L 29/ 78	3 1 1 P
			審査請求 有	請求項の数13 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願平5-163288

(22) 出願日 平成5年(1993)7月8日

(31) 優先権主張番号 特願平4-276884

(32) 優先日 平4(1992)10月15日

(33) 優先権主張国 日本 (JP)

(31) 優先権主張番号 特願平5-38785

(32) 優先日 平5(1993)2月26日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 市村 照彦

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 那須 安宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 松本 友幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 岡本 啓三

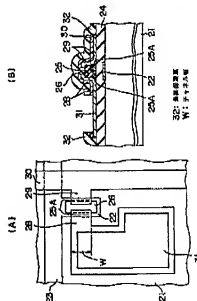
(54) 発明の名称 薄膜トランジスタ・マトリクス製造方法

(57) 要約

【目的】 薄膜トランジスタ・マトリクスの製造方法に関し、リソグラフィ工程で使用するフォトマスクの回数を低減させて歩留りを向上すること。

【構成】 ゲート電極とゲートバスラインを形成する際に1枚目のフォトマスクを使用し、ゲート電極の上でトランジスタの活性層となる半導体膜をパターンニングする際に2枚目のフォトマスクを使用し、また、ソース電極、ドレイン電極、ドレインバスライン及びドレインバス端子部を形成する際に3枚目のフォトマスクを使用し、画素電極、ドレインバスライン端子部及びゲートバス端子部の上の膜を除去する際に4枚目のフォトマスクを使用することを含む。

図1 実施例を示すマトリクス装置の断面図(その1)



(2)

特開平6-310533

I

2

【特許請求の範囲】

【請求項1】 透明絶縁体基板 (21) の上面に、ゲート電極 (22) と該ゲート電極 (22) に導通するゲートバスライン (23) を形成する工程と、

前記ゲート電極 (22) 及び前記ゲートバスライン (23) を覆うゲート絶縁膜 (24)、半導体活性層 (25) 及びチャネル保護膜 (26) を順に前記透明基板 (21) の上に成膜する工程と、

前記ゲート電極 (22) の輪郭に対応する位置の内側にレジストパターン (27) を形成する工程と、

前記レジストパターン (27) をマスクにして、前記チャネル保護膜 (26)、前記半導体活性層 (25) をエッチングし、さらに前記チャネル保護膜 (26) の輪郭が前記半導体活性層 (25) の輪郭よりも内側になるパターンを形成する工程と、

前記レジストパターン (27) を除去した後、前記チャネル保護膜 (26) の輪郭から外側に露出されている前記半導体活性層 (25) に不純物を導入してコンタクト領域 (25A) を形成する工程と、

図素電極材料膜及び金属膜よりなる複層体を形成して該複層体をパターンニングすることにより、前記コンタクト領域 (25A) に接続し且つその上で分離されるソース電極 (28) 及びドレイン電極 (29) と、該ドレイン電極 (29) に繋がるドレインバスライン (30) とを形成し、前記ソース電極 (28) に繋がる図素領域に前記複層体を残し、続いて、前記ソース電極 (28) 及び前記ドレイン電極 (29) からはみ出した前記コンタクト領域 (25A) をエッチングにより除去する工程と、

前記図素領域に存在する前記金属膜を除去することにより前記図素電極材料膜からなる図素電極 (31) を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクス製造方法。

【請求項2】 透明絶縁体基板 (21) の上面に、ゲート電極 (22) と該ゲート電極 (22) に導通するゲートバスライン (23) を形成する工程と、

前記ゲート電極 (22) 及び前記ゲートバスライン (23) を覆うゲート絶縁膜 (24)、半導体活性層 (25) 及びチャネル保護膜 (26) を順に前記透明基板 (21) の上に成膜する工程と、

前記チャネル保護膜 (26) の上にボジ型レジスト (70) を塗布し、該ボジ型レジスト (70) を露光、現像することにより、前記ゲート電極 (22) とその周囲の周辺に該ボジ型レジスト (70) を残存させる工程と、

パターンニングされた前記ボジ型レジスト (70) をマスクにして、前記チャネル保護膜 (26) 及び前記半導体活性層 (25) をエッチングする工程と、

前記透明絶縁耐基板 (21) の下面側から光を照射し、前記ゲート電極 (22) をマスクにして前記ボジ型レジスト (70) を露光し、ついで現像して、前記ボジ型レジスト (70) をゲート電極 (22) に沿った形状のパターンにす

る工程と、

前記二度目の露光及び現像を経た前記ボジ型レジスト (70) をマスクにして前記チャネル保護膜 (26) をパターンニングし、前記ゲート電極 (22) の周側にある前記半導体活性層 (25) を露出させる工程と、

前記レジストパターン (27) を除去した後、前記チャネル保護膜 (26) から露出している前記半導体活性層 (25) に不純物を導入してコンタクト領域 (25B) を形成する工程と、

図素電極材料膜及び金属膜よりなる複層体を形成して該複層体をパターンニングすることにより、前記コンタクト領域 (25B) に接続し且つその上で分離されるソース電極 (75) 及びドレイン電極 (74) と、該ドレイン電極 (74) に繋がるドレインバスライン (76) とを形成するとともに、前記ソース電極 (75) に繋がる図素領域に前記複層体を残す工程と、

前記図素領域に存在する前記金属膜を除去することにより前記図素電極材料膜からなる図素電極 (77) を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【請求項3】 透明絶縁体基板 (21) の上面に、ゲート電極 (50) と該ゲート電極 (50) に導通するゲートバスライン (51) を形成する工程と、

前記ゲート電極 (50) 及びゲートバスライン (51) を覆うゲート絶縁膜 (61)、活性層となる第一の非晶質半導体膜 (62) および炭素又は窒素を含む第二の非晶質半導体膜 (63) を前記透明基板 (21) の上に順に成膜する工程と、

前記ゲート電極 (50) の輪郭に対応する位置の内側にレジストパターン (64) を形成する工程と、

前記レジストパターン (64) をマスクにして前記第一の非晶質半導体膜 (62) と前記第二の非晶質半導体膜 (63) をパターンニングし、前記ゲート電極 (50) の上方に残存させる工程と、

前記レジストパターン (64) を除去した後、前記第二の非晶質半導体膜 (63) の上層部に不純物を導入してコンタクト領域 (65) を形成する工程と、

図素電極材料膜 (53) 及び金属膜 (54) よりなる複層体を形成して該複層体をパターンニングすることにより、前記コンタクト領域 (65) に接続し且つその上で分離されるソース電極 (55) 及びドレイン電極 (56) と、該ドレイン電極 (56) に繋がるドレインバスライン (57) とを形成し、前記ソース電極 (55) に繋がる図素領域に前記複層体を残し、続いて、前記ソース電極 (55) 及び前記ドレイン電極 (56) からはみ出した前記コンタクト領域 (65) をエッチングにより除去する工程と、

前記図素領域に存在する前記金属膜 (54) を除去して前記図素電極材料膜 (53) により形成される図素電極 (58) を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

(3)

特開平6-310533

3

【請求項4】 前記要素領域に要素電極 (31、58、77) を露出させる工程の前に、全面を最終保護膜 (32、67、78) を形成する工程と、

前記要素電極 (31、58、77) の上とドレインバス端子部及びゲートバス端子部とにおいて前記最終保護膜 (32、67、78) をエッチングして開口部を形成する工程と、前記開口部内に前記ゲート絶縁膜 (24、61) が露出されている部分においては前記ゲート絶縁膜 (24、61) を除去し、前記積層体の前記金属膜が露出されている部分においては前記金属膜を除去する工程とが含まれてなることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクス製造方法。

【請求項5】 前記透明絶縁体基板 (21) の上の前記ゲート電極 (22、50) 及び前記ゲートバスライン (23、51) は、第二の面素電極材料膜 (47) と第二の金属膜 (48) からなる第二の積層体をパターンニングして形成されるときに、

前記ゲートバスライン (23、51) の端部に形成されるゲートバス端子部 (52) は、前記第二の面素電極材料膜 (47) により形成され、

該ゲートバス端子部 (52) の上の上記第二の金属膜 (48) は、前記ゲート絶縁膜 (24、61) の上に形成される前記積層体の前記金属膜を除去する前記工程において同時に除去されることを特徴とする請求項4記載の薄膜トランジスタ・マトリクス製造方法。

【請求項6】 前記半導体活性層 (25、63) に不純物を導入してコンタクト領域 (25A、25B、65) を形成する工程は、3価又は5価の水素化合物、3価又は5価のフッ化物のいずれかを含むガスと不活性ガスとの混合ガスを導入した雰囲気の下で発生させたプラズマの空間に前記半導体活性層 (25、63) をさらす工程であることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクス製造方法。

【請求項7】 前記5価の水素化合物又は前記3価のフッ化物は、燐の水素化合物又はフッ化物であり、前記コンタクト領域 (25A、25B、65) の濃度が $5 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ の範囲にあることを特徴とする請求項6記載の薄膜トランジスタ・マトリクス製造方法。

【請求項8】 前記半導体活性層 (25、63) を前記プラズマの空間にさらして前記コンタクト領域 (25A、25B、65) を形成した後、前記コンタクト領域 (25A、25B、65) の表面を洗浄せずに前記コンタクト領域 (25A、25B、65) の上にソース電極 (55) 及びドレイン電極 (56) を形成することを特徴とする請求項6記載の薄膜トランジスタ・マトリクス製造方法。

【請求項9】 不純物を導入して前記コンタクト領域 (25A、65) を形成する工程から、前記ソース電極 (25B、55) 及び前記ドレイン電極 (29、56) を形成するための前記積層体を準備する工程までは、減圧雰囲気の中

4

で連続してなされる工程であることを特徴とする請求項1又は2記載の薄膜トランジスタ・マトリクス製造方法。

【請求項10】 前記ゲート電極 (22、50) の輪郭に対応する位置の内側に前記レジストパターン (27、64) を形成する前記工程は、前記透明絶縁体基板 (21) の上面側に塗布されたポジ型レジストに基板下面側から光を照射し、前記ゲート電極 (22、50) 及び前記ゲートバスライン (23、51) をマスクにして該ポジ型レジストを露光する工程であることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクス製造方法。

【請求項11】 前記ゲート電極 (22) と前記ゲートバス等 (23) の境界部分にはゲート長方向に幅の狭い絞り込み部分 (22A) が形成され、該絞り込み部分 (22A) の上に形成される活性層 (25) は、ソース電極 (23) 及びドレイン電極 (29) からはみ出ているコンタクト層 (25A) を除去する際に同時に除去されることを特徴とする請求項1、2又は3記載の薄膜トランジスタ・マトリクス製造方法。

【請求項12】 透明絶縁体基板 (21) の上面に、島状の透明導電膜 (41) を介して電気的に接続される不透明なゲート電極 (22) と不透明なゲートバスライン (23) を形成する工程と、

前記ゲート電極 (22) 及び前記ゲートバスライン (23) を覆うゲート絶縁膜 (24) 及び半導体膜 (25) を前記透明絶縁膜 (21) の上に成膜する工程と、

前記半導体膜 (25) の上にポジ型レジスト (27) を塗布する工程と、

前記透明絶縁体基板 (21) の下面側から光を照射し、前記ゲート電極 (22) と前記ゲートバスライン (23) をマスクに使用することにより、前記ポジ型レジスト (27) を露光する工程と、

現象処理により、前記ポジ型レジスト (27) を前記ゲート電極 (22) と前記ゲートバスライン (23) の上に分離して残存させる工程と、

前記ポジ型レジスト (27) のパターンに覆われない部分の前記半導体膜 (25) をエッチングすることにより、前記半導体膜 (25) を分離させて前記ゲート電極 (22) と前記ゲートバスライン (23) の上に残す工程とを有することを特徴とする薄膜トランジスタ・マトリクス製造方法。

【請求項13】 前記ゲート電極 (22) と前記ゲートバスライン (23) を導通させる前記島状の透明導電膜 (41) は、前記透明絶縁体基板 (21) の上面に形成されるキャパシタ用のドレイン電極 (40) と同一工程でパターンニングされていることを特徴とする請求項12記載の薄膜トランジスタ・マトリクス製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ラップ・トップ・パーソナルコンピュータ等の電子機器に用いられる薄膜トランジスタ・マトリクス製造方法に関する。

(4)

特開平6-310533

コンや懸掛テレビジョン等において、画像表示を行う液晶表示パネルを駆動するために作り付けられる薄膜トランジスタ・マトリクスを製造する方法の改良に関する。

【0002】

【従来の技術】 薄膜トランジスタ (TFT (Thin Film Transistor)) をマトリクス状に配置した液晶表示パネルは、その表示品質がCRT (cathode-ray tube) に匹敵する程度に向上してきていることが認知されつつあるが、未だ、配線の断線、短絡、あるいはTFTのトランジスタ特性分布の不均一など、製造工程中の歩留りが低いのが実情であり、これを解消しなければならぬ。

【0003】 一般に、マトリクス状に接続した複数のTFTを基板上に形成する場合に、工業生産として成り立つプロセスでは、7、8枚のマスクを用いるパターンニング工程が必要である。現在、a-Siを用いる液晶駆動用のTFTマトリクスの製造プロセスは、チャネル保護膜を使用する通称エッチングストップ型とチャネル保護膜を使用しない通称チャネルエッチング型とに大別される。エッチングストップ型のTFTの構造に関する文献としては、例えば F. Fumada et al., SID 1986 DIGEST pp.293-295 があり、また、チャネルエッチング型のTFTに関する特許公開公報としては例えば特開平1-293567号公報がある。

【0004】 図50〜図55は、従来の技術を解説するための工程表におけるエッチングストップ型のTFTマトリクスの要部説明図であり、それらの図において (A) は要部平面図、(B) はX-X'に沿う断面図をそれぞれ示している。そして、要部平面図 (A) においては、簡明にするために、覆層されている層の一部を省略して示したものである。

【0005】 以下、これらの図を参照しながら製造工程を説明するが、ここで対象としているのは、アモルファスシリコン (a-Si) を半導体活性層として用いた遊子型絶縁ゲートTFTをスイッチング素子としてマトリクス状に配置したTFTマトリクスである。まず、図50に示す状態になるまでを説明する。

【0006】 最初に、ガラスなどの透明絶縁体からなる基板1上にPI膜を形成する。ついで、リソグラフィ技術におけるレジストプロセス及び反応性イオン・エッチング (RIE (reactive ion etching)) 法を適用し、そのPI膜をパターンニングして図50 (A) に示すようなゲート電極2及びゲートバスライン (走査バス・ライン) 3を形成する。

【0007】 さらに、図50 (B) に示すように、窒化シリコン (SiN) からなるゲート絶縁膜4、a-Siからなる活性層5、窒化シリコン (SiN) からなるチャネル保護膜6を形成する。次に、リソグラフィ技術としてレジスト・プロセスとウェットエッチング法を適用してチャネル保護膜6をパターンニングし、図51に示すように、ゲート電極2よりも幅が狭いチャネル保護膜6をゲート電極2の上のみ残すようにする。

【0008】 この後に、全面にn⁺-a-Siからなる電極コンタクト層7を形成する。ついでレジスト・プロセスとRIE法を適用して電極コンタクト層7及び活性層5をパターンニングする。これによって、電極コンタクト層7と活性層5は、図52に示すように、アイランド化される。この後に、全面にPI膜を形成する。ついで、リソグラフィ技術としてレジスト・プロセス並びにプラズマエッチング法を適用し、そのPI膜をパターンニングして図53に示すようにソース電極8とドレイン電極9及びドレイン・バス・ライン (信号バス・ライン) 10を形成する。

【0009】 次に、リソグラフィ技術としてレジストプロセス及びプラズマエッチング法を適用し、ゲート・バスライン3の端にある図55に示すゲートバス端子部3Aを覆うゲート絶縁膜4を選択的にエッチングして開口を形成する。この後に、全面にITO膜 (Indium Tin Oxide) 膜を形成する。さらに、リソグラフィ技術としてレジストプロセス及びウェットエッチング法を適用することにより、そのITO膜をパターンニングして図54に示す素子電極11と図55に示すゲートバス端子12を形成する。

【0010】 この後に、四示しない最終保護膜を形成し、これをリソグラフィ技術によりパターンニングの必要がある。ここまでのフォトレジストのマスクの枚数は7である。上述した工程において、バスラインの低抵抗化が要求される場合には、後述するようにバスラインのみを別途パターンニングすることもあり、これによってさらにパターンニング工程は増加する。

【0011】 ここで、バス・ラインの低抵抗化について説明しよう。一般に、バス・ラインについて要求される抵抗値は、例えば約26m (10、4インチ) 中継電力パネル (ゲート: 4.80ライン、ドレイン6.40×3ライン) において、ゲートバスラインは20kΩ以下、ドレインバスラインは35kΩ以下である。

【0012】 この要求は、ポCKET型テレビジョン用や投射型テレビジョン用などのように小型のものについては要求が緩く、ワークステーション用やHDTV用などのような大型のものについては要求が厳しくなる。本発明が対象としているようなゲート・スタガード型のTFT構造の場合、ゲートバスラインの方が低抵抗化について要求は厳しいのであるが、①ゲート絶縁膜の下層になるので厚くすることができない、②ゲートバスラインの最上層に低抵抗材料のアルミニウムを用いると、その後に高温プロセスで絶縁膜を成膜することによりゲートバスラインにヒロックやボイスカなどが発生し、絶縁性を確保できない、③ゲート電極材料を厚くする場合、チーパエッチングのような特殊な技術を用いることが必要となる、などの問題が生じる。

(6)

特開平6-310533

7

【0013】このような問題を回避するための手段として、アルミニウムを最下層にしてゲートバスラインを形成した後に、そのアルミニウムからなるゲート・バスラインを完全に覆うように、TiやCrなどの高融点金属からなるゲート・バスライン放電ゲート電極を形成する場合があり、これが、前記した別添パターンニングに相当するものである。

【0014】なお、下ゲート・スタガード型の場合、ドレインバスラインはゲート絶縁膜の上層になることに加え、要求される抵抗値がゲートバスライン程低くないことなどから、通常は別パターンニングを必要としないが、選択エッチング性やエッチング・シフトの制御など、プロセス上の要求や断層に対する冗長構成を得るために多層化する場合があります。その際には、当然、別パターンニングが必要となる。

【0015】

【発明が解決しようとする課題】図50〜図55について説明した従来の技術においては、7、8枚のマスクを使用するパターンニング工程が必要となり、製造歩留りに大きく影響するので、1回でも少ないほうが望ましい。そこで、①チャネル保護膜を用いない、②a-Si層のアイランド化と、ソース電極、ドレイン電極及びドレインバスラインのパターンニングを同時に行う、③ゲート端子部を演出させるためのエッチングや最終保護膜をマスクデポジションすることによりパターンニングを省略するなどの工夫がなされてきた。

【0016】しかしながら、前記①〜③のいずれにおいても、次に説明するように何らかの問題が発生する。前記①の場合には、TFTはチャネルエッチング型となるが、これによればチャネル層であるノンドープa-Siとコンタクト部であるn⁺-a-Siを連続成膜することからプラズマ化学気相堆積工程が少なくなること、また、チャネル保護膜をアイランド化する必要がないからパターンニング工程が二工程少なくなるなどの利点がある。

【0017】しかしながら、a-Siとn⁺-a-Siとの復層膜のうちn⁺-a-Siのみを選択的に除去することが必要となるが、両者は選択エッチングすることができないから、a-Siは予め厚く形成しておかなければならず、a-Siが厚ければ、成膜装置のクリーニング・サイクルが短くなって稼働率が低下したり、また、電圧降下によってTFTのオフ電流が上昇するなどの問題が生じる。

【0018】また、②に関しては、a-Siとn⁺-a-Siとドレイン・バス・ライン用メタルの堆積膜を連続的にパターンニングした後、図案電極を構成するITO膜によりソース電極をカバーして、これらの電極を電気的に接続する必要があるが、a-Si等を堆積膜を順テーパー形状にエッチングしなければそのエッジによりITO膜断層のおそれが増える。特に、ドレインバスラインを低抵抗化するために膜厚を厚くすれば、さらに段差切れが起こりやすくなるという問題がある。

8

【0019】さらに、③に関しては、最終保護膜は、TFT防護を目的として形成するので、必ずしも一面毎に開口部を形成することは必要ない。その除去が不可欠であるのは、端子部なのであるが、その部分のパターンは、比較的粗であることから、最終保護膜を成膜する際に、基板上にメタル・マスクを介して端子部のみ成膜しない手段（マスクデポジション）を採ることができるのである。

【0020】しかしながら、当然のことながら成膜工程は複雑化し、端子部とメタルマスクの間に最終保護膜が回り込んで、端子部の接続不良の問題を生ずることになる。本発明はこのような問題に鑑みてなされたものであって、その目的とするところは、リソグラフィ工程で使用するフォトマスクの枚数を低減させて歩留りを向上させることができるTFTマトリクス製造方法を提供することである。

【0021】

【課題を解決するための手段】上記した課題は、図2〜図9に例示したように、透明絶縁基板21の上面に、ゲート電極22とゲート電極22に導通するゲートバスライン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライン23を覆うゲート絶縁膜24、半導体活性層25及びチャネル保護膜26を順に前記透明基板21の上に成膜する工程と、前記ゲート電極22の輪郭に対応する位置の内側にレジストパターン27を形成する工程と、前記レジストパターン27をマスクにして、前記チャネル保護膜26、前記半導体活性層25をエッチングし、さらに前記チャネル保護膜26の輪郭が前記半導体活性層25の輪郭よりも内側になるパターンを形成する工程と、前記レジストパターン27を除去した後、前記チャネル保護膜26の輪郭から外側に露出されている前記半導体活性層25に不純物を導入してコンタクト領域25Aを形成する工程と、図案電極材料膜及び金属膜よりなる視層体を形成して該視層体をパターンニングすることにより、前記コンタクト領域25Aに接続し且つその上で分離されるソース電極28及びドレイン電極29と、該ドレイン電極29に繋がるドレインバスライン30とを形成し、前記ソース電極28に繋がる図案領域に前記視層体を残し、被覆し、前記ソース電極28及び前記ドレイン電極29からはみ出した前記コンタクト領域25Aをエッチングにより除去する工程と、前記図案領域に存在する前記金属膜を除去することにより前記図案電極材料膜からなる図案電極31を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0022】または、図39〜図43透明絶縁基板21の上面に、ゲート電極22とゲート電極22に導通するゲートバスライン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライン23を覆うゲート絶縁膜24、半導体活性層25及びチャネル保護膜26を順に前記透明基板21の上に成膜する工程と、前記チャネル保護膜26の上に

(6)

特開平6-310533

9

ポジ型レジスト70を露光し、該ポジ型レジスト70を露光、現像することにより、前記ゲート電極22とその両側の周辺に該ポジ型レジスト70を残存させる工程と、パターンニングされた前記ポジ型レジスト70をマスクにして、前記チャネル保護膜26及び前記半導体活性層25をパターンニングする工程と、前記透明絶縁層基板21の下面側から光を照射し、前記ゲート電極22をマスクにして前記ポジ型レジスト70を露光し、ついで現像して、前記ポジ型レジスト70をゲート電極22に沿った形状のパターンにする工程と、前記二度目の露光及び現像を経た前記ポジ型レジスト70をマスクにして前記チャネル保護膜26をパターンニングし、前記ゲート電極22の両側にある前記半導体活性層25を露出させる工程と、前記レジストパターン27を除去した後に、前記チャネル保護膜26から露出している前記半導体活性層25に不純物を導入してコンタクト領域25Bを形成する工程と、両面電極材料膜及び金属膜よりなる積層体を形成して該積層体をパターンニングすることにより、前記コンタクト領域25に接続し、かつその上で分離されるソース電極75及びドレイン電極74と、該ドレイン電極74に繋がるドレインバスライン76とを形成する

20

とともに、前記ソース電極75に繋がる両面領域に前記積層体を残す工程と、前記両面領域に存在する前記金属膜を除去することにより前記両面電極材料膜からなる両面電極77を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリクスの製造方法。

【0023】または、図4～図49に例示するように、透明絶縁層基板21の上面に、ゲート電極90と該ゲート電極90に導通するゲートバスライン91を形成する工程と、前記ゲート電極90及びゲートバスライン91を覆うゲート絶縁膜61、拒性層となる第一の非晶質半導体膜62および炭素又は窒素を含む第二の非晶質半導体膜63を前記透明基板21の上に順に成膜する工程と、前記ゲート電極90の輪郭に対応する位置の内側にレジストパターン64を形成する工程と、前記レジストパターン64をマスクにして前記第一の非晶質半導体膜62と前記第二の非晶質半導体膜63をパターンニングし、前記ゲート電極90の上方に残存させる工程と、前記レジストパターン64を除去した後に、前記第二の非晶質半導体膜63の上面部に不純物を導入してコンタクト領域65を形成する工程と、両面電極材料膜53及び金属膜54よりなる積層体を形成して該積層体をパターンニングすることにより、前記コンタクト領域65に接続し、かつその上で分離されるソース電極55及びドレイン電極56と、該ドレイン電極56に繋がるドレインバスライン67とを形成し、前記ソース電極55に繋がる両面領域に前記積層体を残し、続いて、前記ソース電極55及び前記ドレイン電極56からみ出た前記コンタクト領域65をエッチングにより除去する工程と、前記両面領域に存在する前記金属膜54を除去して前記両面電極材料膜53により形成される両面電極58を露出させる工程とが含まれていることを特徴とする薄膜トランジスタ・マトリク

50

10

スの製造方法により達成する。

【0024】または、図2～図9に例示するように、前記両面領域に両面電極31、68、77を露出させる工程の前に、全面に最終保護膜32、67、78を形成する工程と、前記両面電極31、68、77の上とドレインバス端子部及びゲートバス端子部とにおいて前記最終保護膜32、67、78をエッチングして開口部を形成する工程と、前記開口部内に前記ゲート絶縁膜24、61が露出されている部分においては前記ゲート絶縁膜24、61を除去し、前記積層体の前記金属膜が露出されている部分においては前記金属膜を除去する工程とが含まれてなることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0025】または、図34～図38に例示するように、前記透明絶縁層基板21の上の前記ゲート電極22、50及び前記ゲートバスライン28、51は、第二の両面電極材料膜47と第二の金属膜48からなる第二の積層体をパターンニングして形成されるとともに、前記ゲートバスライン28、51の端部に形成されるゲートバス端子部52は、前記第二の両面電極材料膜47より形成され、該ゲートバス端子部52の上の前記第二の金属膜48は、前記ゲート絶縁膜24、61の上に形成される前記積層体の前記金属膜を除去する前記工程において同時に除去されることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0026】または、図10に例示するように、前記半導体活性層25、63に不純物を導入してコンタクト領域25A、25B、65を形成する工程は、3個又は5個の水素化物、3個又は5個のフッ化物のいずれかを含むガスと不活性ガスとの混合ガスを導入した雰囲気中の減圧下で発生されたプラズマの空間に前記半導体活性層25、63をさらす工程であることを特徴とする薄膜トランジスタ・マトリクスの製造方法によって達成する。

【0027】または、図14に例示するように、前記5個の水素化物又は前記5個のフッ化物は、燐の水素化物又はフッ化物であり、前記コンタクト領域25A、25B、65の濃度が $5 \times 10^{23} \sim 5 \times 10^{21} / \text{cm}^3$ の範囲にあることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。または、図17に例示するように、前記半導体活性層25、63を前記プラズマの空間にさらして前記コンタクト領域25A、25B、65を形成した後に、前記コンタクト領域25A、25B、65の表面を洗浄せずに前記コンタクト領域25A、25B、65の上にソース電極55及びドレイン電極56を形成することを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0028】または、図15に例示するように、前記コンタクト領域25A、65を形成する工程から、前記ソース電極28、55及び前記ドレイン電極29、66を形成するための前記積層体を堆積する工程までは、減圧雰囲気の中で連続してなされる工程であることを特徴とする薄膜トラ

11

ンジスタ・マトリクス製造方法により達成する。または、図18、19に例示するように、前記ゲート電極22、50の輪郭に対応する位置の内部に前記レジストパターン27、64を形成する前記工程は、前記透明絶縁膜基板21の上面側に塗布されたポジ型レジストに基板下面側から光を照射し、前記ゲート電極22、50及び前記ゲートバスライン23、51をマスクにして該ポジ型レジストを露光する工程であることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0029】または、図20〜図27に例示するように、前記ゲート電極22と前記ゲートバス等23の境界部分にはゲート長方向に幅の狭い絞り込み部分22Aが形成され、該絞り込み部分22Aの上に形成される活性層25は、ソース電極28及びドレイン電極29からはみ出ているコンタクト層25Aを除去する際に同時に除去されることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0030】または、図28〜図33に例示するように、透明絶縁膜基板21の上面に、島状の透明導電膜41を介して電気的に接続される不透明なゲート電極22と不透明なゲートバスライン23を形成する工程と、前記ゲート電極22及び前記ゲートバスライン23を覆うゲート絶縁膜24及び半導体膜25を前記透明基板21の上に成膜する工程と、前記半導体膜25の上面にポジ型レジスト27を塗布する工程と、前記透明絶縁膜基板21の下面側から光を照射し、前記ゲート電極22と前記ゲートバスライン23をマスクに使用することにより、前記ポジ型レジスト27を露光する工程と、現像処理により、前記ポジ型レジスト27を前記ゲート電極22と前記ゲートバスライン23の上に分離して残存させる工程と、前記ポジ型レジスト27のパターンに覆われない部分の前記半導体膜25をエッチングすることにより、前記半導体膜25を分離させて前記ゲート電極22と前記ゲートバスライン23の上に残す工程とを有することを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0031】または、前記ゲート電極22と前記ゲートバスライン23を導通させる前記島状の透明導電膜41は、前記透明絶縁膜基板21の上面に形成されるキャパシタ用の下層電極40と同一工程でパターンニングされていることを特徴とする薄膜トランジスタ・マトリクスの製造方法により達成する。

【0032】

【作 用】以上述べたように本発明によれば、第一段階として、ゲート電極とゲートバスラインのパターンニング、第二段階として、ゲート電極の上でトランジスタの活性層のパターンニング、第三段階として、少なくとも同素電極、ソース電極、ドレイン電極及びドレインバスラインのパターンニング、第四段階として、炭素電極、ドレインバスライン端部及びゲートバスライン端部上の膜を除去するパターンニングをしている。この四つの段階のバ

(7)

特開平6-310533

12

ターニングのためには4枚目のフォトマスクを使用すれば足りることになる。

【0033】また、他の本発明によれば、透明絶縁膜基板の下面から光を当ててゲート電極及びゲートバスラインをマスクにしてレジストを露光するようにしているため、活性層のパターンニングの際にフォトマスクを省略でき、しかも、そのパターン精度は良くなる。このような手段を採用することにより、薄膜トランジスタ・マトリクスの製造工程のリソグラフィ工程に使用されるフォトマスクの枚数は著しく減少する。

【0034】したがって、薄膜トランジスタ・マトリクスの製造歩留り、ひいては液晶表示パネルの製造歩留りを大きく向上させることが可能になり、そのコスト低下に寄与するところは大きい。

【0035】

【実施例】本発明の実施例の説明に先立ち、液晶表示パネルのTFTマトリクスの等価回路図を図1に基づいて説明する。TFTマトリクスは、基板の上に平行に複数本形成されるゲートバスラインGBと、このゲートバスラインGBに直交する方向に平行に複数本形成されるドレインバスラインDBとを有し、ゲートバスラインGBとドレインバスラインDBの各交差領域近傍には導膜トランジスタと透明な同素電極PXが配置される。その導膜トランジスタのゲート電極はゲートバスラインGBに接続され、そのドレインはドレインバスラインDBに繋がれ、さらに、そのソースは同素電極PXに接続される。

【0036】なお、ゲートバスラインGBとドレインバスラインDBは接触しないように絶縁膜を介して交差される。そこで以下に、本発明の実施例としてTFTマトリクス回路の一部を取り上げて説明する。

(a) 本発明の第1実施例の説明

図2〜図9は、本発明の第一実施例を解説するための工程要所におけるTFTマトリクスの要部説明図であり、図中(A)は要部平面、(B)はX-X'に沿う断面をそれぞれ表し、要部平面(A)では、簡明にするために省略されている図の図示を一部省略したものがあ。以下、これらの図を参照しつつ詳細に説明する。

【0037】図2に示すまでの工程を説明する。まず、スパッタリング法を適用することにより、ガラス等の透明絶縁体からなる基板21上に厚さ例えば80nmのT1膜を形成する。リソグラフィ技術としてのレジストプロセス並びにエッチング・ガスとしてBCl₃とCl₂を使用してR1E法を適用することにより、前工程で形成したT1膜をパターンニングしてゲート電極22とゲートバスライン23を形成する。

【0038】次に、ベースガスをSiH₄とするプラズマ化学気相堆積(plasma chemical vapour deposition: PCVD)法を適用することにより、厚さ例えば40nmのSiNからなるゲート絶縁膜24と、厚さ例えば15nm

(8)

特開平6-310533

13

〜50nmのa-Siからなる活性層25と、厚さ例えば120nmのSiNからなるチャネル保護膜26を順に形成する。

【0039】次に、図3に示すまでの工程を説明する。まず、リソグラフィ技術におけるレジストプロセスを適用することにより、ゲート電極22上のみゲート電極22よりも幅が狭いチャネル保護膜26を残すためのパターンをもつレジスト膜27を形成する。そして、エッチングガスとして BCl_3 と Cl_2 の混合ガス、或いは CF_4 と O_2 の混合ガスを使用するRIE法を適用することにより、チャネル保護膜26及び活性層25を異方性にエッチングして、ゲート電極22よりも幅が狭い形状にパターンニングする。なお、この場合のパターンニングは、レジスト膜27のエッチからその内方にサイドエッチングができる限り進まないように抑制することが望ましい。これにより、垂直方向にエッチングして、レジスト膜27のパターンを正確に転写するようにする。

【0040】次に、図4に示すまでの工程を説明する。まず、エッチャントとしてフッ化水素酸系エッチング液を使用するウェットエッチング法を適用することにより、レジスト膜27を残した状態で、チャネル保護膜26のみを等方性エッチングする。この等方性エッチングでは、レジスト膜27が存在していることから、チャネル保護膜26はサイドエッチングされることになり、そのサイドエッチング量は、例えば $1\mu\text{m} \sim 2\mu\text{m}$ である。

【0041】この等方性エッチングの際に、チャネル保護膜26とはエッチャントが同じであるSiNからなるゲート絶縁膜24が突出されるが、これは、SiN膜をP-CVD法で成膜する際の条件を適切に選択することでフッ化水素酸系エッチング液に対するエッチングレートが大きく変化させることができるので、問題は起こらない。

【0042】具体的には、チャネル保護膜26を構成するSiNを成膜する際に、基板21の温度を低く維持する。ソースガスの希釈ガス（例えば H_2 や N_2 など）のうちの H_2 ガスの流量比率を小さくする、或いは、ソースガス（ SiH_4 、 NH_3 ）のうちの SiH_4 の流量比率を小さくする、などの手段を採ることによってチャネル保護膜26のエッチングレートを大きくすることができ、

【0043】なお、本工程、即ち、チャネル保護膜26のサイド・エッチングは、チャネル保護膜26及び活性層25をメサ状にパターンニングしてから行っているが、活性層25のパターンニングを行うことなく、チャネル保護膜26のみを始める等方性エッチングし、そのパターンニング及びサイド・エッチングを連続して行い、その後、レジスト膜27をマスクとする活性層25の異方性エッチングを行うようにしてもよい。何れにせよ、チャネル保護膜26のサイドエッチングを確実にするために、前記の手段を採って、チャネル保護膜26のエッチ

14

ングレートやゲート絶縁膜24のそれに比較して大きくしておくことが好要である。

【0044】次に、図5に示すまでの工程を説明する。まず、レジスト剥離液中にレジスト膜27を浸漬してこれを除去してから、オスフィン（ OF_6 ）を含むガスの放電空間に導くことにより、チャネル保護膜26の周辺に突出された活性層25の縁部に溝をドープし、 $\text{n}^+ - \text{a-Si}$ からなる電極コンタクト領域25Aを形成する。

【0045】その後のドープング方法は、TFTマトリクスを製造する場合に多用されているP-CVD装置を利用して実施することが可能であるから大変簡単な手段である。その他の手段としては、活性層25の突出された部分に選択的に不純物を導入することができ、かつ活性化することができる技術であれば何れを採用してよい。

【0046】ちなみに、溝の気相ドープング方法を例示すると、次の3つがある。

①通常の平行平板型P-CVD装置中に基板を入れて PH_3 を含むガス（例えば PH_3 と、 H_2 、 Ar 、 N_2 などの希釈ガス）の放電空間に導く方法（本実施例で採用した方法）。この方法については、第2実施例として詳述する。

②燐イオンのみを質量分析で分離抽出して用いる通常の膜イオン注入性。

【0047】③例えば、 PH_3 と H_2 の混合ガスなどのプラズマソースから質量分析による分離無イオンを抽出し、プラズマ空間から離れた場所におかれた基板に電界加速してイオン注入する方法（イオンシャワー）。この場合、燐イオンの他に数多のイオンが注入される（その一例として特開平63-194326号公報を参照）。

【0048】その他に、チャネル保護膜26から露出した活性層25に n^+ シリコン層を成膜してコンタクト領域を形成する方法もあるが、これによればパターンニングを行って図素部となる領域の n^+ シリコン層を除去する必要がある。マスク工程が増えることになるので適当でない。なお、電極コンタクト領域25Aへの不純物導入をイオンシャワーで行った場合には、次の工程に移る前に、薄いフッ化水素酸系エッチング液によるスライ・エッチングを行ったり、或いは、 H_2 プラズマ処理を行って $\text{n}^+ - \text{a-Si}$ からなる電極コンタクト領域25A表面の自然酸化膜を除去してもよい。

【0049】次に、図6に示すまでの工程を説明する。まず、スパッタリング法を適用することにより、厚さが例えば80nmのITO膜と厚さが200nmの Sn 膜を順に形成する。なお、 Sn 膜は他の金属膜、例えば Cr 膜に代替することができる。この順に、リソグラフィ技術のレジストプロセスを適用することにより、両端電極、ソース電極、ドレイン電極、ドレインバスラインの各形成領域を覆うパターン・レジスト膜（図示せず）を形成してから、エッチング・ガスとして例えば BCl_3 と Cl_2 の混合

(9)

特開平6-310533

16

ガス 或いは SiF_4 ガス或いは CF_4 と O_2 の混合ガスなどから選択したガスを用いてプラズマエッチング法を適用することにより、 Mo 膜をバタニングする。

【0050】なお、静電気によるダメージを受けることが懸念される場合には、エッチャントを腐蝕系エッチング液とするウェットエッチング法を適用して Mo 膜をバタニングしてもよい。次に、そのレジスト膜をマスクにしてそのまま使用し、エッチャントを BCl_3 と DNQ の混合液、或いは BCl_3 と $FeCl_3$ の混合液を用いるウェットエッチング法を適用することにより、ITO膜をバタニ

ングする。
【0051】続いて、そのレジスト膜をマスクとして、エッチングガスと BCl_3 と Cl_2 の混合ガスとするRIE法を適用することにより、前記マスクからはみ出ている電極コンタクト領域25Aの不用部分をエッチング除去する。これにより、ソース領域とドレイン領域の導通が断たれることになる。この後に、マスクとしてレジスト膜を除去する。

【0052】以上の工程を経ることにより、ITO膜並びに Mo 膜からなる二層膜で構成されたソース電極28、
同じくその二層膜で構成されたドレイン電極29、同じくその二層膜で構成されたドレインバスライン30、およびITO膜からなる図面電極31が形成されたことになる。次に、図7、図9に示す状態までの工程を説明する。

【0053】まず、P-CVD法を適用することにより、全面に厚さ例えば300nmの SiN からなる最終保護膜32を形成する。ついで、リソグラフィ技術におけるレジストプロセスを適用し、さらに、エッチャントをフッ化水素酸系エッチング液とするウェットエッチング法を適用することによって最終保護膜32のバタニングを行う。

【0054】これにより、最終保護膜32は所定の形状となり、図面電極31上では Mo 膜が露出される。そして、図8に示すドレインバス端子部ではドレインバスライン30の一部を構成している Mo 膜がそれぞれ露出されている。また、図9に示すゲートバス端子部ではゲートバスライン23を構成している TI 膜が露出される。なお、ゲートバス端子部では最終保護膜32の他にゲート絶縁膜24もエッチングしなければならないが、前記工程で説明したように、ゲート絶縁膜24はフッ化水素酸系エッチング液に対してエッチングレートが小さくなるように形成してあるため、最終保護膜32と同時にエッチングすることはできない。

【0055】そこで、その後に、 CF_4 と O_2 を含む混合ガスをエッチングガスとするCDE (chemical dry etching) 装置を用いたプラズマ・エッチング法を適用することにより、図面電極31上の Mo 膜と、ドレインバス端子部における Mo 膜とゲート電極24を除去する。ちなみに、 CF_4 と O_2 を含む混合ガスを用いるCDE法では、 Mo

16

及び SiN のエッチングレートを高くし、その下地である TI からなるゲート電極32に対してエッチングレートを低くすることができる。また、 Mo は SiN より含まないフッ化水素酸系エッチング液には毒性がある。

【0056】前記工程の説明から明らかなであるが、最終保護膜32のバタニングから完成までのプロセスは、前記工程におけるレジストプロセスで形成されたレジスト膜をマスクにして実施されたものであることが理解されよう。図2〜図9について説明した第一実施例では、全工程を4枚のフォトマスクを用いて完了しているため、従来の技術に比較すると、3枚〜4枚も少なくなっている。

【0057】また、①ITO膜のみで構成されたドレインバスラインでTFTトリクスを駆動可能にする設計の場合、②不透明な表示画素で表示可能である例又は反射型パネルに应用する場合、③端子部の電極上に絶縁膜が成膜されないようにマスク成膜を併用した場合、などの条件を組み合わせたとき、必要なレジストマスクは更に1枚少なくなり、3枚でTFTマスクを完成させることができる。例えば、条件①或いは②に条件③を組み合わせると、レジストマスクは、ゲートのバタニング、チャネル保護膜のアイランド化、ソース電極・ドレイン電極・図面電極・ドレインバスラインのバタニングの3枚で済んでしまう。

【0058】前記とは逆に、図9に示すゲートバス端子部にもITO膜を用いて、使用材料とドレインバスラインと同一にした場合には、ソース電極及びドレイン電極の電極材料膜を成膜する前にゲートバス端子部(図8参照)におけるゲート絶縁膜を除去する工程が必要となつて、その分だけマスクの枚数が増加し、全部で5枚になってしまうが、それでも、従来の技術によった場合と比較すれば少ないことになる。

(b) 本発明の第2実施例の説明

第1の実施例では、図4に示したようなコンタクト領域25Aを形成する方法として、3つの網のドーピング法を提案した。

【0059】しかし、大型のガラス基板を使用する場合に、イオン注入法、電界によるイオン加減法によれば陽イオンを均一に導入することは難しい。また、イオン注入法によれば、活性化するためのアニールが必要となるが、その温度はガラス基板の融点を考慮して設定されるために、その温度制が制限される。また、300℃以上でのアニールによれば、 $a-Si$ 膜に含まれる水素が抜けてトランジスタ特性が劣化するもので、それ以下の温度に抑える必要がある。

【0060】これに対して、平行平板型のP-CVD装置を使用するプラズマドーピング法によれば、大面積でも均一に不純物ドーピングすることができ、しかも、不純物を活性化するためのアニール処理は不要となる。その装置としては、図10に示すような平行平板型の一般的な

(10)

特開平6-310533

17

プラズマCVD装置を使用する。この装置は、反応室Cの中に一對の電極P1、P2を配置するとともに、一方の電極P1側にヒータHを有している。そして不純物をドーピングするには、ガラス基板21をヒータH側の電極P1の上に取付け、ヒータHによりガラス基板21を加熱して基板温度を300℃以下、好ましくは200℃〜250℃に設定する。

【0061】また、排気口Gからガスを抜いてチャンバC内を減圧した後、アルゴンガス(Ar)とホスフィン(PH₃)の混合ガスをガス導入口G1からチャンバC内に導入する。PH₃の流量はArに対して5%以下とする。この場合、アルゴンの他の不活性ガス、例えばネオン(Ne)、ヘリウム(He)をベースにしてホスフィン(PH₃)を反応室Cに導入しても同様な結果が得られるが、水素をベースにするとa-Siよりなる活性層25がエッチングされて溝は注入されないので適当でない。

【0062】また、ガス圧力は0.1〜2.0Torrの範囲で制御し、また、電極P1、P2に印加する高周波電力Rfの周波数13.56MHz、供給電力を1W以下として、電極P1、P2の間にプラズマを発生させる。これによれば、コンタクト領域25Aを構成するn⁺-a-Si膜の導電率は、ガス圧力、投入電力等によって、例えばPH₃の流量はArに対して0.5%としてガス圧力と導電率の関係を示すと図11に示すようになり、圧力が高いほど注入量が増えて導電率が大きくなることがわかる。

【0063】そして、ガス圧1.0Torrにして図5に示すようなコンタクト領域25Aを形成したところ、図7に示すTFTのドレイン電流・ゲート電圧特性は、図12に示すようになった。この場合、チャネル幅Wとチャネル長Lの割合はW/L=3.0/2.0である。このように、a-Si膜に溝が注入され、高い導電率を示し、優れたトランジスタ特性が得られたのはTFTでは初めてのことである。

【0064】ところで、プラズマによって発生した陽イオンのエネルギーは小さく、単結晶シリコンには十分な量は注入されないの、P-CVD装置を使用する不純物ドーピングは、本実施例のように水素を含むa-Siのような結晶構造に特有なものである。次に、ベースとなるアルゴンガスにホスフィンを含む0.5%の流量を加えてプラズマドーピングをした場合のドーピングの最適値と、溝深の最適値について説明する。

【0065】例えば、厚さ150Åのa-Siよりなる活性層25の両側部の電極コンタクト領域25Aへのプラズマドーピングによるドーピング量とTFTのオン電流との関係を測定し、これによりドーピング量の最適値を求める。その関係を示すと、図13のようになり、ドーピングの際のガス圧力が1.0Torrの場合には、ドーピング量が $0.5 \times 10^{11} \sim 1.5 \times 10^{14} \text{ cm}^{-2}$ の範囲でTFTのオン電流が約0.3〜0.4μAと高くなるが、それ以外の

18

範囲ではそのオン電流は低くなった。0.3Torrの場合には、ドーピング量が $0.1 \times 10^{14} \sim 1.0 \times 10^{14} \text{ cm}^{-2}$ の範囲で同じような高いオン電流が得られる。

【0066】これらは、チャネル幅Wとチャネル長Lの割合を3.0μm/3.0μm、ゲート電圧を3.0V、ドレイン電圧を1Vとした場合の値である。なお、ドーピング量は、活性層25に導入された不純物の面密度量である。プラズマドーピングによるドーピング量はドーピング時間により制御できるので、そのドーピング量とドーピング時間の関係を実験で求めたところ、図14の(a)に示すような関係が得られた。

【0067】ドーピング量は、プラズマドーピングの際のガス圧、投入電力に依存する。例えば、投入電力を0.17W/cm²とした場合のガス圧の違いによるドーピング量を調べたところ、ガス圧が1.0Torrの場合には、オン電流が高くなるドーピング量 $0.5 \times 10^{14} \sim 1.5 \times 10^{14} \text{ cm}^{-2}$ を得るためには30分以下の時間が必要となった。これに対して、ガス圧を0.3Torrにしたところ、15分よりも短い時間で同じ範囲のドーピング量が得られた。なお、投入電力を大きくすれば、ドーピング時間の短縮が図れることがわかった。

【0068】一方、投入電力を0.17W/cm²として、溝深のピーク値とドーピング時間の関係を実験で求めたところ、図14の(b)に示すような結果が得られた。これと図14の(a)の関係を考え合わせると、オン電流が高くなる溝深のピーク値は、ガス圧1.0Torrで $1 \times 10^{11} \sim 7 \times 10^{11} \text{ cm}^{-2}$ となる。 $5 \times 10^{14} \text{ cm}^{-2}$ よりも比較的高いオン電流が得られる。

【0069】以上は、アルゴンガスをベースにしてホスフィンを導入したが、それ以外の不活性ガス、例えばヘリウム、ネオンをベースにしても、ほぼ同様な結果が得られる。なお、プラズマドーピングの際に、ベースガスにB₂H₆のような3価の水素化合物、或いはBF₃のような3価のフッ素化合物を用いてもよく、これによれば、電極コンタクト領域25Aはp型化する。

【0070】なお、上記した説明ではホスフィンと不活性ガスをチャンバ内に導入しているが、3価又は5価の水素化合物、3価又は5価のフッ素化合物のいずれかを含むガスと不活性ガスとの混合ガスであればよい。3価の水素化合物、或いは3価のフッ素化合物を用いれば、電極コンタクト領域25Aはp型化する。

(c) 本発明の第3実施例の説明

一般に、不純物のドーピングとソース・ドレイン電極用のメタル形成は別の装置で行われる。例えば第2実施例で説明したように、基板をP-CVD装置からスバック装置に移す際に、a-Siよりなる活性層25の表面が大気中に曝されて不純物に汚染されることがある。

【0071】これを解決するためには、活性層25の両側にコンタクト領域25Aを形成してからソース・ドレイン電極の形成までを真空を破らずに連続して成膜する

19

装置、例えば図15に示す構成の装置を用いればよい。この装置は、基板を設置する仕込み室C1と、その基板を外部に取り出すための取出し室C6とを有し、これらの間には、基板の搬送路に沿って昇温室C2、プラズマCVD装置の反応室C3、第一のスバツタ装置の反応室C4、第二のスバツタ装置の反応室C5が隣接されており、それらの接続部分には真空状態を破らずに基板を搬送するための基板搬送口が形成されている。また、その基板搬送口には密閉可能なシャツツS1〜S6がそれぞれ取付けられている。

【0072】さらに、各室C1〜C6には内部のガスを排気するための排気口E1〜E6と、内部に反応ガスを導入するためのガス導入口I1〜I6が取付けられている。プラズマCVD装置は、平行平板型であり、高周波電源RFに接続される一対の電極P1、P2とヒータHを有している。

【0073】また、第一と第二のスバツタ装置の各反応室C4、C5内には、それぞれ直流電源に接続される一対の電極P3、P4が配置され、その腔体には成膜材料のターゲットが取付けられている。なお、図中符号S1は、仕込み室C1の入口に取付けられるシャツツ、S6は、取出し室C6の出口に取付けられるシャツツ、H2は、昇温室C2内に取り付けられたヒータを示している。

【0074】次に、この装置を用いて図4、図5に示すようなドーピングからソース・ドレイン電極を形成するまでの工程を説明する。まず、図4に示すように、ガラス基板21上のチャネル保護膜26をサイドエッチングし、その下の活性層25の周縁部の上面を露出した後に、そのガラス基板21を仕込み室C1内に設置する。

【0075】ついで、仕込み室C1の入口のシャツツS1を閉じてその内部を減圧した後、その出口側のシャツツS1を開けてガラス基板21を昇温室C2に移し、ついでそのシャツツS1を閉じてから、その室内でガラス基板21を200℃程度に予備加熱する。この後に、昇温室C2の出口側のシャツツS2を開いてガラス基板21をP-CVD装置の反応室C3内の下側の電極P1の上に載置する。そして、その下のヒータH3によりガラス基板21を300℃以下、好ましくは200〜250℃に加熱する。また、その内部の圧力を0.1〜1.0 Torrの間で最適な圧力となるように密閉しない排気機構を制御する。さらに、13.56MHzの高周波電源RFによる投入電力を1kW以下に設定する。

【0076】ここで、アルゴンペースとしてホスフィン0.5%流量でP-CVD装置内に導入し、一対の電極P1、P2の間に発生させたプラズマによってa-Si活性層25の表面又は膜中に陽イオンを導入する。これによりコンタクト領域25Aが形成される。ついで、ガラス基板21を第一と第二のスバツタ装置の反応室C4、C5内に順に搬送して、第一のスバツタ装置でI

(11)

特開平6-310533

20

O膜を形成し、この後に、第二のスバツタ装置でモリブデン膜を成膜する。これらのスバツタの際にはガス導入口N4、N5からアルゴンガスを導入する。

【0077】スバツタ装置による成膜を終えた後に、減圧された状態の取り出し室C6内にガラス基板21を搬送した後に、そのガラス基板21を外部に取り出す。この後に、図5に示すように、モリブデン膜とITO膜をパターンニングする工程に移るが、その詳細は、第1実施例で説明しているので省略する。なお、モリブデンの代わりにクロム膜を用いてもよい。

【0078】以上のように、P-CVD装置を用いたプラズマドーピングの後に、真空状態を破らずにソース・ドレイン電極形成用の導電膜を堆積する工程を経て形成されたTFTのドレイン電流・ドレイン電圧特性を調べたところ、図16の実験に示すような特性が得られた。これに対して、コンタクト領域25Aの表面を大気中に曝した後にはフッ酸処理をしないでソース・ドレイン電極を形成した場合のドレイン電流・ドレイン電圧特性を調べたところ図16の破線に示すような特性が得られた。

【0079】これらの結果、プラズマドーピングの後に真空を破らずにソース・ドレイン電極形成用の導電膜を成長した場合の方がコンタクト抵抗が小さくなることが分かる。また、プラズマドーピング法により不純物がドーピングされたa-Si活性層25を大気中に曝したあとに、その表面を緩衝フッ酸(BHF)溶液により洗浄してから電極28、29を形成した場合と、BHF溶液により洗浄せずに電極28、29を形成した場合とを比較すると、ドレイン電流とドレイン電圧の関係は図17のようになった。

【0080】この結果、活性層25の電極コンタクト領域25Aをフッ酸処理しない方がTFTの特性が良くなる事がわかる。その原因は、①洗浄により汚物が流出したり、②汚物の注入によりシリコンから水素が抜けでそこに未結合手が生じ、その未結合手により大気中の汚染物が捕獲されるためと考えられる。なお、不純物ドーピングの前に、不活性ガス等、例えばヘリウム、アルゴン、ネオン又はクリプトンにより活性層25の表面を叩くことで、a-Siに含まれる水素を抜いてさらにモルフォス化し、その後にドーピングを行うと不純物が導入されにくくなる。

【0081】ところで、図5に示したようなコンタクト領域25Aを形成する前の工程として、薄いフッ酸液によるスライエッチングや水素プラズマ処理等により、コンタクト領域25A表面の自然酸化膜の除去工程を行うのが望ましい。しかし、ウェットエッチングした場合でも、ガラス基板21を装置内に仕込むときに酸化膜が発生する。

【0082】そこで、プラズマCVD装置によりドーピングを行う前に、水素プラズマを短期間発生させて活性層25の表面に成長した自然酸化膜を除去するようにし

(12)

特開平6-310533

21

てもよい。この実施例では、導電膜の成膜方法としてスパッタ法を用いているが、真空を破らないことが重要であり、他の導電膜形成方法として蒸着法を用いる場合にもその前に真空を破らないでガラス基板21を移動させる必要がある。

【0083】また、平行平板型のP-CVD装置の電源として直流電源を用い、その電極の負極又は陽極側に基板を置いたり、或いは、P-CVD装置の電極に接続する交流電源を1MHz以下の低周波にしてもよい。1MHz以下の交流電源によれば、イオンエネルギーが大きいので、さらに短時間で深くイオンを注入できるという利点がある。

(d)本発明の第4実施例の説明

図18及び図19は、本発明の第4実施例を解説するための工程断面におけるTFTマトリクス層の裏面平面図であり、図1〜図4において用いた記号と同記号は同部分を表すか或いは同じ意味をもつものとする。

【0084】本実施例は、図2〜図9について説明した第1実施例について部分的な改変を加えたものである。第1実施例では、図2に係わる工程でゲート電極22上にのみ、ゲート電極22よりも幅が狭いチャネル保護膜26を積層するためのパターンをもったレジスト膜27を形成しているのである。本実施例においては、そのレジスト膜パターン形成する際に、基板21の表面から露光を行う技術、即ち、背面露光によるセルフアライメント技術を利用している。

【0085】さて、この段階では、基板21の上にT1膜からなるゲート電極22及びゲートバースライン23が形成される。全面にSiNからなるゲート絶縁膜24、a-Siからなる活性層25、SiNからなるチャネル保護膜26のそれぞれは形成されているものとする。次に、図18に示す工程を説明する。

【0086】まず、チャネル保護膜26上の全面にポジ型のフォトリソレジスト膜27を塗布した後に、ゲート電極22とゲートバースライン23をマスクにして、基板21の裏面から紫外線(UV)を照射してフォトリソレジスト膜27を露光する。このような露光によれば、ゲート電極22とゲートバースライン23の輪郭に沿って紫外線の回り込みが発生し、その輪郭に対して例えば、 $0.5\mu\text{m} \sim 1.0\mu\text{m}$ 程度内側にずれた輪郭をもつフォトリソレジスト膜27のパターンが得られる。

【0087】なお、図18にはフォトリソレジスト膜27のパターンが表されていないが、その形状は前記説明によって理解できよう。今度は、フォトリソレジスト膜27の上方にフォトマスク33を置いて紫外線の露光を行う。この露光は、フォトリソレジスト膜をイオン化してゲート電極22上にのみ存在するように限定するために行うものである。ゲート電極22の長手方向(ゲート幅方向)におけるゲートバースラインとの境界のエッジを限定するだけであるから、高い精密性は要求されない。

22

【0088】フォトリソレジスト膜27の現像を行うと、図2〜図9に見られる第1実施例の場合と比較してゲート電極22のパターン端とフォトリソレジスト膜のパターン端との距離が小さなレジストパターンを得ることができる。なお、図18ではそのレジストパターンが歪んでいないため、図19に落着いて説明すると、ゲート電極22のパターン端とフォトリソレジスト膜のパターン端(即ち、活性層25と同パターンであるフォトリソレジスト膜のパターン端)との距離であるL₁が小さいレジストパターンが得られるのである。

【0089】次に、図19に示すまでの工程を説明する。前記工程で形成したフォトリソレジスト膜27のパターンをマスクとし、かつ、BCl₃とCl₂の混合ガス或いはCF₄とO₂との混合ガスをエッチングガスとしてR1E法を適用することにより、チャネル保護膜26と活性層25を異方性エッチングし、ゲート電極22よりも幅が狭い形状にパターニングする。

【0090】エッチャントとしてフッ化水素酸系エッチング液を用いてウェットエッチング法を適用することにより、レジスト膜27を残した状態でチャネル保護膜26のみをサイドエッチングする。レジスト剥離液中に浸漬してフォトリソレジスト膜を27除去する。ところで、TFTにおいては、必要とされるオン電圧(寸法設計上は、チャネル幅W/チャネル長L、で決まる)を確保できる範囲においてできるだけ小型にすることがゲート容量を小さくする上で重要である。

【0091】ここで、チャネル長Lはチャネル保護膜26の幅に等しく、ソース電極28とドレイン電極29の間のスリット寸法(露光の解像限界： $\sim 3\mu\text{m}$)とチャネル保護膜26との重なり寸法(露光の合わせ精度： $\sim 3\mu\text{m} \times 2$)で決定される。従って、チャネル長L及びLの回り込み分L₁の2倍及びサイドエッチング分L₂の2倍の和がゲート長Gとなる。このゲート長Gを小さくすることがゲート容量の低減に結び付くことになる。

【0092】この第2実施例によった場合には、背面露光に起因する光の回り込み分L₁が、 $0.5\mu\text{m} \sim 1.0\mu\text{m}$ であって、マスク合わせした場合の $\sim 3\mu\text{m}$ よりも小くなるから、その分だけゲート電極22を小型化して設計することが可能であり、ゲート容量に起因する設計上、或いは表示上の不都合を少なくすることができる。一般に、液晶をTFTマトリクスにより駆動する際に、画素電極への信号の書き込みの直後、即ち、ゲート電極にTFTをオンにするようなパルス電圧を印加して信号電圧(ドレイン)に信号電圧を印加した直後の前記パルス電圧が切れる瞬間にソースゲート間容量に起因した面素電位のシフトが発生する。従って、ソース・ゲート間の容量は小さくしなければならないが、これは、ゲート容量の約半分の値である。

【0093】ゲート容量は、TFTがオンの際に、ゲート電極領域とソース・ドレイン電極領域、或いはa-Siから

(13)

特開平6-310533

23

らなるアイランド領域において、ゲート絶縁膜を誘電体としたコンデンサの容量である。したがって、ソース・ゲート間の容量、即ち同素電位のシフトを小さくして表示品質を高めるためには、ゲート面積をソース・ドレイン電極領域やa-Siからなるアイランド領域と重なるゲートの面積を小さくするのが有効である。

【0094】TFTにおけるチャネル長方向における寸法の縮小を阻害する製造上の制限は、①ソース・ドレイン電極間のリソット（露光の解像度）、②ソース・ドレイン電極並びにチャネル保護膜のオーバーラップ（露光の合わせ精度）、③ゲート電極のチャネル保護膜からのみだし分（露光の合わせ精度）等が挙げられる。本実施例における自己整合法では、前記③を最小にすることができ、ゲート電極を小さく設計することが可能になる。

【0095】(e) 本発明の第5実施例の説明

図20は、本発明の第5実施例を解説するための工程図におけるTFTマトリクス基板の裏面平面図であり、図2～図19において用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。本実施例は、図18及び図19において説明した第4実施例について部分的な変更を加えたものである。ゲート電極22とゲートバスライン23との境界部分を細く絞り込んだパターンにしたものであって、このようにすると、背面露光の場合に種々な利点が得られることになる。さて、この段階では、図21に示すように、基板21上にT1膜からなるゲート電極22及びゲートバスライン23が形成され、全面にSiNからなるゲート絶縁膜24、a-Siからなる活性層25、SiNからなるチャネル保護膜26のそれぞれが形成されているものとする。

【0096】ところで、第5実施例におけるゲート電極22のパターンは、図20に示すようにゲートバスライン23との境界部分に絞り込み部22Aが形成され、そして、その絞り込み部22Aの幅L₁は、図18及び図19について説明した第4実施例と同様に、背面露光に起因する光の回り込み分をL₁とし、また、チャネル保護膜26のサイドエッチング分をL₂として、L₁ < L₂ (L₁ + L₂)、となるように選ぶことで、製造プロセス上で大きな利点を得ることができる。

【0097】リソグラフィ技術におけるレジストプロセスを適用することによって、チャネル保護膜26上の全面にポジ型のフォトリソレジスト膜（図示せず）を形成してから、絞り込み部22Aをもつゲート電極22並びにゲートバスライン23をマスクとして、活性層21の裏面から紫外線を照射してフォトリソレジスト膜を露光し、その後、現像を行う。

【0098】このようにすると、第4実施例と同様に、ゲート電極22とゲートバスライン23の輪郭に沿って光の回り込み分L₁が発生し、その輪郭に対して例えば0.5 μm～1.0 μm程度内側に輪郭をもったフォ

24

トリソレジスト膜のパターンが得られる。次に、パターンニングされたフォトリソレジスト膜をマスクに使用し、かつ、BCl₃とCl₂の混合ガス、或いはCF₄とO₂の混合ガスをエッチングガスとして用いたR1E法を用いることにより、チャネル保護膜26と活性層25を異方性エッチングする。これにより、ゲート電極22及びゲートバスライン23よりも幅が狭い形状にパターンニングする。

【0099】この後に、エッチャントをフッ化水素酸系エッチング液とするウェットエッチング法を適用することにより、レジスト膜を残した状態でチャネル保護膜26のみをサイドエッチングする。このサイドエッチングにおいては、L₂ < 2 (L₁ + L₂) なる条件を保って、ゲート電極22の上のチャネル保護膜26とゲートバスライン23上のチャネル保護膜26は、サイドエッチングにより分離されてしまい、第4実施例における工程に見られるようなフォトマスク33を用いた表面からの露光を必要としない。

【0100】ここで、図には、ゲート電極毎に分離されたチャネル保護膜26が示され、また、そのチャネル保護膜26と一体であったゲートバスライン23上のSiN膜が図26Aで指示されている。なお、この場合のサイドエッチングにおいても、活性層25をパターンニングしない状態で等方性エッチングを適用し、チャネル保護膜26のみのパターンニングとサイドエッチングを先行させて良いものももちろんである。

【0101】次に、レジスト剥離液中に浸漬して前記工程で形成したフォトリソレジスト膜を除去する。前記第5実施例によれば、ゲート電極22とゲートバスライン23との境界部分上に活性層25と同じ材料であるa-Si層が残ったとしても、その上にチャネル保護膜26が存在しなければ後の工程で除去されてしまうので、活性層25もTFT毎に自動的にアイランド化され、隣り合うTFT相互の干渉は生じない。

【0102】(f) 本発明の第6実施例の説明
図20について説明した第5実施例は、第1、第4実施例に比較してフォトマスク枚数を少なくすることができるので、この技術を用いた実施例を以下に詳細に説明する。図21～図27は、本発明の第6実施例を解説するための工程図に於けるTFTマトリクスの要部説明図である。図中(A)は、要部平面、(B)はX-Y線に沿う断面をそれぞれ表し、要部平面(A)においては、簡明にすため、覆層されている層の図示を一部省略したものである。以下、これらの図を参照しながら説明する。

【0103】まず、図21に示す状態までの工程を説明する。初めに、スパッタリング法を適用することにより、ガラス等の透明絶縁体からなる基板21上に例えば厚さが80 nmのT1膜を形成する。リソグラフィ技術におけるレジストプロセスの後、BCl₃とCl₂の混合ガスをエッチングガスとするR1E法を適用することにより、前記工程で形成したT1膜のパターンニングを行い、図

(14)

特開平6-310533

25

21に示すように、境界部分に絞り込み部22Aをもつゲート電極22とゲートバスライン23を形成する。

【0104】ベークガスを用い、とすP-CVD法を適用することにより、厚さ例えば400nmのSiNよりなるゲート絶縁膜24と、厚さ例えば15nm〜50nmのa-Siからなる活性層25と、厚さ例えば120nmのSiNからなるチャネル保護膜26を順に形成する。次に、リソグラフィ技術におけるレジストプロセスを適用することにより、チャネル保護膜26上の全面にボツ型のフォトリソ膜27を形成してから、絞り込み部22Aをもつゲート電極22並びにゲートバスライン23をマスクとして基板21の裏面から紫外線を照射してフォトリソ膜を露光し、そして現像を行う。

【0105】このようにすると、第5実施例と同様に、ゲート電極22とゲートバスライン23の輪郭に沿って光の回り込み分1;が発生し、その輪郭に対して例えば0.5μm〜1.0μm程度のずれに輪郭をもったフォトリソ膜27のパターンが得られる。この後に、図22に示すように、パターンニングされたフォトリソ膜27をマスクとし、BCl₃とCl₂を含む混合ガスをエッチングガスとするRIE法を適用することにより、チャネル保護膜26と活性層25を異方性エッチングし、これをゲート電極22とゲートバスライン23よりも幅が狭い形状にパターンニングする。

【0106】次に、エッチャントとしてフッ化水素酸系エッチング液を用いるウェットエッチング法を適用することにより、図23に示すように、レジスト膜27を残した状態でチャネル保護膜26のみを等方性エッチングする。この等方性エッチングでは、レジスト膜27が存在していることから、チャネル保護膜26はサイドエッチングされることになり、そのサイドエッチング分1;は例えば〜2μmである。

【0107】このサイドエッチングにおいても、L<L<2(L+1;)となる条件を維持することで、チャネル保護膜26を各ゲート電極毎に分離し、第4実施例における工程にみられるようなフォトマスクを用いた上方からの露光を行わない。図24に、ゲート電極毎に分離されたチャネル保護膜26が示され、また、サイドエッチングを行う前、ゲートバスライン23上にあつてチャネル保護膜26と一体であったSiN膜が記号26Aで指示されている。

【0108】なお、本工程においても、活性層25をパターンニングすることなく、チャネル保護膜26のみを始めてから等方性エッチングし、そのパターンニング及びサイドエッチングを連続して行い、その後、レジスト膜27をマスクとする活性層25の異方性エッチングを行うようにしてもよい。次に、レジスト剥離液中に浸漬してレジスト膜27を除去してから、図24に示すように、PH₃とArのプラズマに曝すことで、チャネル保護膜26の周辺に表出されている活性層26の部分に第1ドーピン

26

グを行い、n⁺-a-Siからなる電極コンタクト領域25Aを形成する。

【0109】前記第1ドーピングは、第1実施例と同様に、P-CVD装置を利用して実施するが、その他の手段として、活性層25の表出された部分に選択的に不純物を導入かつ活性化することができ技術であれば、いずれでも適宜採用してよい。なお、イオンシャワーによる場合には、緩衝フッ化水素プラズマ処理により電極コンタクト領域25Aの表面の自然酸化膜を除去する。

【0110】次に、図25に示す状態になるまでの工程を説明する。まず、スパッタリング法を適用することにより、厚さ例えば80nmのITO膜と厚さ例えば20nmのMo膜を順に形成する。なお、Mo膜は他の金属膜、例えばCr膜に代替することができる。なお、コンタクト領域25Aを形成する工程からMo膜を形成する工程までの、第3実施例のように真空状態を破らずに連続的に行ってもよい。

【0111】この後に、リソグラフィ技術におけるレジストプロセスを適用することにより、面素電極、ソース電極、ドレイン電極、ドレインバスラインの領域を覆うパターンのレジスト膜(図示せず)を形成してから、エッチャントをリン酸系エッチング液とするウェットエッチング法を適用することによって、Mo膜をパターンニングする。

【0112】さらに、前記工程で形成したレジスト膜をマスクにして、エッチング液を(BCl₃+BBr₃)、混合液または(BCl₃+FeCl₃)混合液とするウェットエッチング法を適用することにより、前記工程で形成したITO膜をパターンニングする。ついで、前記工程で形成したレジスト膜をマスクとして、BCl₃とCl₂をエッチングガスとするRIE法を適用することにより、前記マスクからはみ出ている電極コンタクト領域25Aの不潔部分をエッチング除去する。これにより、ゲート電極22の上とゲートバスライン23の境界領域で露出した活性層25も完全に除去され、ゲート電極22の上の活性層25は島状になる。また、ソース領域とドレイン領域の短絡が防止され、しかも、ドレインバスライン30同士の短絡も回避される。

【0113】以上のような一連の工程を経て、ITO膜並びにMo膜からなる二層膜で構成されたソース電極28、同じくその二層膜で構成されたドレイン電極29、同じくその二層膜で構成されたドレインバスライン30、面素電極31が形成されることになる。次に、図26、図27に示す状態となるまでの工程を説明する。

【0114】まず、前記工程で形成したレジスト膜を除去してから、P-CVD法を適用することにより、全面に厚さ例えば300nmのSiNからなる最終保護膜32を形成する。この後に、リソグラフィ技術におけるレジストプロセスを適用し、さらに、エッチャントをフッ化水素酸系エッチング液とするウェットエッチング法を適

(15)

特開平6-310533

27

用することによって、最終保護膜32をパターンニングする。

【0115】これによって、最終保護膜32は所定の形状となり、図素電極31上ではITO膜が、そして、ドレインバス端子部(図8参照)ではドレインバスライン30の一部を構成している膜がそれぞれ表出される。また、ゲートバス端子部(図9参照)では、ゲートバスライン23上のチャネル保護膜22Aも同時に除去され活性層26が表出される。

【0116】この後に、BCl₃とCl₂をエッチングガスとしてRIE法によりゲートバス端子部にある活性層25を除去する。次に、CDB装置を使用し、CF₄とO₂を含むガスをエッチングガスとするプラズマエッチング法を適用することにより、図素電極31の上の膜とドレインバス端子部の膜とをその下のSiNからなるゲート絶縁膜24を除去する。

【0117】図21〜図27について説明した第6実施例では、背面露光によるセーフライメント方式を利用し、全工程を3枚のフォトマスクを用いて完了させているので、従来の技術に比較すると、マスクが4枚、5枚も少なくなっている。また、前記説明したように、ドレインバスラインを透明電極膜にするとともに最終保護膜のパターンニングを省略した場合、フォトリソグラフィ工程は最低で3回であるが、フォトマスクは2枚で済ませることができ。

【0118】(g)本発明の第7実施例の説明
図28及び図29は、本発明の第7実施例を解説するための工程におけるTFTマトリクス部の要部の断面図、図30〜図32は、その平面図である。なお、図28及び図29の断面は、図30(A)に示すZ-Z線からみた断面である。図33は、ゲートバス端子部とドレインバス端子部を示す平面図及び断面図である。

【0119】図2〜図9において用いた記号と同記号は同部分を表すか或いは同じ意味をもつものとする。本実施例は、図2〜図9について説明した第1実施例を部分的に変更するとともに、キャパシタの形成工程を追加した内容を有している。まず、バック法によりガラス基板21の上にITO膜を80nmの厚さに形成した後に、図30(A)に示すように、リソグラフィ技術によりそのITO膜をパターンニングして図素領域の一部からゲートバスライン形成領域の一部にかけた領域にキャパシタ用の下層電極を形成するとともに、ゲート電極とゲートバスラインを繋ぐ領域に接続用電極41を形成する。その断面は、図28(A)のようになる。

【0120】次に、T1膜を形成した後に、これをリソグラフィ技術によりパターンニングして図30(B)に示すようなゲート電極22とゲートバスライン23を形成する。この場合のゲート電極22とゲートバスライン23は、既に述べた実施例と異なり接続用電極41の上で分離されているが、その接続用電極41により導通してい

28

る。また、ゲートバスライン23は、キャパシタ用の下層電極40の一部と接触した状態となっている。

【0121】さらに、SiH₄をベースガスとするP-CVD法により、図28(B)に示すように、SiN膜からなるゲート絶縁膜24と、a-Siからなる活性層25と、SiNからなるチャネル保護膜26を順に形成する。これらの膜厚は第1実施例と同様にする。次に、チャネル保護膜26の上の上にジ型のレジスト膜27を塗布した後に、第4実施例と同様にしてガラス基板21の裏面から紫外線を照射してレジスト膜27を露光し、ついで、これを現像すると図31(A)に示すような平面となる。その露光の際には、相互に分離されたゲート電極22とゲートバスライン23がマスクとなる。

【0122】この場合、ゲート電極22とゲートバスライン23の分離領域においては、ITO膜よりなる接続用電極41が存在するために、その領域に残存するフォトレジスト膜27は露光及び現像により完全に除去された状態になる。しかも、現像により残存するフォトレジスト膜27の輪郭は、ゲート電極22とゲートバスライン23の輪郭に対して例えば0.5〜1.0μm程度内側にバックしたパターンとなっている。

【0123】次に、BCl₃とCl₂の混合ガス又はCF₄とO₂の混合ガスを用いてRIE法によりチャネル保護膜26と活性層25をほぼ全面に異方性エッチングすると、それらの膜25、26は、図28(C)に示すように、フォトレジスト膜27と同じパターンにて形成される。この結果、ゲート電極22とゲートバスライン23のパターンよりも幅の狭い形状となる。

【0124】これによれば、ゲート電極22とドレインバスライン23の上にそれぞれ残存する活性層25は図18に示すようなフォトマスク33を使用する露光工程を経ずに完全に分離される。これまでのマスク数は、キャパシタ用の下層電極がパターンニングされる際にフォトマスクが使用されるので、第1実施例と同じになる。

【0125】この後に、前記したレジスト膜27を残した状態で、フッ化水素酸系エッチング液を使用するウェットエッチング法によりチャネル保護膜26のみをサイドエッチングし、その下の活性層25の周縁の上面を図28(D)に示すように露出させる。そのサイドエッチングの量は1〜2μm程度とする。そのレジスト膜7を溶剤により除去した状態の平面図は、図31(B)に示すようになる。

【0126】そのサイドエッチングの際には、チャネル保護膜26とはエッチャントが同じであるSiNからなるゲート絶縁膜24が表出されているのであるが、これは、SiN膜をP-CVD法で成膜する際の条件を適切に選択することでフッ化水素酸系エッチング液に対するエッチングレートを大きく変化させることができるので問題は起こらない。その具体例については第1実施例に既に述べた。

(16)

特開平6-310533

29

【0127】なお、チャネル保護膜26のサイド・エッチングは、チャネル保護膜26及び活性層25をメサ状にパターンニングしてから行っているが、活性層25のパターンニングを行うことなく、チャネル保護膜26のみを始めて等方性エッチングして、パターンニングとサイドエッチングを連続して行い、その後、レジスト膜27をマスクとしてRIB法により活性層25を垂直方向に異方性エッチングしてもよい。

【0128】次に、第1実施例で示した不純物のドーピング方法により、チャネル保護膜26から露出した活性層25の両縁部にホウをイオン注入し、その部分に図29(A)と図31(B)に示すような n^+ コンタクト領域25Aを形成する。その詳細は、第1実施例と第2実施例において説明したので省略する。なお、イオンシャワーによる不純物導入の場合には、コンタクト領域25Aの表面に生じる酸化膜を、薄いフッ化水素酸系エッチング液によるスライト・エッチングや、水素プラズマ処理によって除去してもよい。

【0129】この実施例による場合にも、背面露光に起因する光の回り込みが $0.5\mu m \sim 1.0\mu m$ であって、第1実施例のようにマスク合わせした場合の $\sim 3\mu m$ よりも小さくなるから、その分だけ小型化したゲート電極の設計をすることが可能であり、ゲート容量に起因する設計上或いは表示上の不都合が少なくなる。この後に、スパッタリング法を適用することにより、厚さ例えば $80nm$ のITO膜と厚さ $200nm$ のMo膜を順に形成する。なお、Mo膜の代わり他の金属膜、例えばCr膜を用いてもよい。

【0130】なお、コンタクト領域25Aを形成する工程からMo膜を形成する工程までを、第3実施例のように真空状態を破らずに連続的に行ってもよい。この後に、第1実施例と同様にリソグラフィ技術によりMo膜とITO膜をパターンニングし、図29(D)、図32(A)に示すように、その二層膜によりソース電極28、ドレイン電極29、ドレインバスライン30を形成するとともに、そのITO膜により画素電極31を形成する。

【0131】そのソース電極28とドレイン電極29はゲート電極22の上のチャネル保護膜26の上において分離され、またドレインバスライン30は、ゲートバスライン23に直交する方向に配置される。この後に、Mo膜とITO膜をパターンニングする際に使用したフォトリソ法を剥離せずに、 BCl_3 と Cl_2 の混合ガスを用いてRIB法を適用することにより、銅イオンが導入された活性層25のうちソース電極28、ドレイン電極29等から露出している部分を完全に除去する。これにより、図32(A)に示すようにソース電極28とドレイン電極29との短絡が防止され、かつ、ドレインバスライン30同士が短絡することはなくなる。この後に、リソグラフィ技術を用いたフォトリソ法を除去する。

【0132】次に、P-CVD法を適用することによ

30

り、全面に厚さ例えば $300nm$ のSiNからなる最終保護膜32を形成する。この後に、レジストプロセスを適用し、エッチャントをフッ化水素酸系エッチング液とするウェットエッチングを経ることにより、最終保護膜32をパターンニングし、これにより、画素電極31の上のMo膜を露出させる。

【0133】これに続いて、そのレジスト膜を除去せずに、そのままMo膜をパターンニングして画素電極31を構成するITO膜を露出させる。Mo膜をパターンニングする場合には、リン酸を主成分とする水溶液によるウェットエッチング法による。その後に、溶剤を使用してレジスト膜を除去する。これにより、図29(C)、図32(B)に示すような構造のTFTマトリクスが完成する。この構造によれば、図29(C)に示すようにキャパシタQの下部電極40に対向する画素電極31がキャパシタQの上側電極としても機能し、それらの間に挟まれたゲート絶縁膜24がキャパシタQの誘電体膜となる。これにより、画素電極31とゲートバスライン23がキャパシタQを介して接続されることになる。

【0134】次に、ゲートバスラインとドレインバスラインの端子部の形成工程について図33に基づいて説明する。ゲートバスライン23の端部は、ITO膜により図30(A)に示すキャパシタQの下部電極40を形成する際に、同時に、図33(A)に示すように、そのITO膜をゲートバス端子部42としてガラス基板21の周辺に形成しておく。さらに、ゲートバスライン23を形成する際に、そのゲートバスライン23をゲートバス端子部42の一部に接続して重なる位置まで延在させる。

【0135】そして、その後に配置されるゲート絶縁膜24と最終保護膜32だけをゲートバス端子部43の上に残し、それ以外の膜はパターンニングの際にエッチングして除去する。さらに、ゲートバス端子部43を露出させる方法は、画素電極31の上にある最終保護膜32をエッチングして除去する際に、同じレジストからなるマスクを使用してゲートバス端子部43の上にある最終保護膜32とゲート絶縁膜24とを選択的に除去し、これにより図33(B)に示す開口部44を形成する。

【0136】なお、最終保護膜32はフッ化水素酸系エッチング液を使用するウェットエッチングにより除去するが、これによりゲート絶縁膜23はエッチングされないことは既に述べた。そこで、ゲートバス端子部43の上のゲート絶縁膜24の除去は、画素電極31の上のMo膜を露出する際に同時に行えば、特別なパターンニング工程を追加する必要はない。

【0137】一方、ドレインバス端子部45は、図33(C)に示すように、画素電極31を形成する際にゲート絶縁膜24の上に形成するITO膜を使用して、画素電極31を形成する際に同時に作り込む。そして、画素電極31の上のMo膜と最終保護膜32を除去する際に、同時に、ドレインバス端子部45の上のMo膜と最終保護膜

(17)

特開平6-310533

31

32を選択的に除去し、図33(D)に示すような開口部46を形成する。

【0138】従って、本実施例によれば、ゲートバス端子部42とドレインバス端子部45を形成するための特別な工程は不要となり、工程が大幅に削減される。

(h) 本発明の第8実施例の説明

図34及び図35は、本発明の第8実施例を解説するための工程におけるTFTマトリクスの要部断面図、図36～図38は、その平面図である。

【0139】上記した図において用いた符号と同符号は同部分を表すか或いは同じ意味をもつものとする。本実施例は、第1実施例に示したゲート電極とゲートバスの構成材料としてITO及び金属の二層構造の膜を使用するとともに、ゲートバス端子部をゲートバスラインと一体的に形成した点で大きく相違する。

【0140】まず、図34(A)に示すように、ガラス基板21の上にスパッタ法によりITO膜47、Cr膜48を各々80nmの厚さに順に堆積する。ついで、レジスト膜49を塗布し、これを露光、現像することにより、ゲート電極領域とゲートバスライン領域とゲートバス端子部を覆うパターンを形成する。そして、レジスト膜49に覆われないCr膜48を硝酸セリウム第二アンモンを主成分とする水溶液によりエッチングし、その下のITO膜47を塩酸及び過酸化第二鉄を成分とする水溶液によりエッチングして除去することによりパターンニングする。これにより、図34(B)、図35(B)に示すように、ゲート電極50とこれに繋がるゲートバスライン51及びゲートバス端子部52が形成される。

【0141】そして、レジスト膜49を剥離した後に、SiNよりなるゲート絶縁膜24、a-Siからなる活性層25、及びSiNよりなるチャネル保護膜26を順に積層する。なお、これらの膜の形成条件と厚さは、第1実施例に例示しているので省略する。次に、第4実施例で説明したと同様に、チャネル保護膜26上の全面にボジ型のフォトリソ膜27を塗布した後に、ゲート電極22とゲートバスライン23をマスクにして、基板21の裏面から紫外線を照射してフォトリソ膜27を露光する。

【0142】このような露光によれば、ゲート電極22とゲートバスライン23の輪郭に沿って紫外線の回り込みが発生し、その輪郭に対して例えば0.5μm～1.0μm程度内側にずれた輪郭をもつフォトリソ膜27のパターンが得られる。続いて、フォトリソ膜27の上方に、図36(A)に示すようなフォトマスク33を置いて紫外線の露光を行う。

【0143】この露光は、レジスト膜27をアイランド化してゲート電極22上にのみ存在するように限定するために行うものである。ゲート電極22の長手方向（ゲート幅方向）におけるゲートバスラインとの境界のエッジを限定するだけであるので高い精密性は要求されな

32

い。フォトリソ膜27の露光を行うと、図34(C)に示すような断面となり、第1実施例の場合と比較してゲート電極22の縁部とレジスト膜27の縁部の間隔が小さくなる。

【0144】つづいて、エッチングガスとしてBCl₃とCl₂の混合ガス、或いはCF₄とO₂の混合ガスを使用するRIE法を適用することにより、チャネル保護膜26及び活性層25を垂直にエッチングして、これらの膜をゲート電極22よりも傾が鋭い形状のパターンにする。次に、図35(A)に示すように、レジスト膜27を残した状態で、フッ化水素酸系エッチング液によりチャネル保護膜26のみを1μm～2μmの量でサイド・エッチングする。

【0145】このエッチングの際に、SiNからなるゲート絶縁膜24が露出されているのであるが、ゲート絶縁膜24を成膜する際の条件を適切に選択することによってフッ化水素酸系エッチング液に対するエッチング、レートが大きき変化させることができるので問題は起らない。その具体例は第1実施例で既に述べた。次に、溶剤によりレジスト膜27を除去すると、図36(B)に示すような平面となり、ゲート電極50の上方において活性層25の両縁部がチャネル保護膜26の周辺から露出された状態になる。

【0146】次に、チャネル保護膜26をマスクに用いて活性層25の縁部に溝をドーピング、図35(B)に示すようなn⁺-a-Siからなる電極コンタクト領域25Aを形成する。その不純物のドーピング方法については、第1、第2実施例で述べたので省略する。次に、第1実施例で述べた方法により、コンタクト領域25Aの表面の自然酸化膜を除去して、この上に形成される電極と良好なオーミック・コンタクトがとれるようになる。

【0147】この後に、スパッタリング法を適用することにより、厚さ例えば80nmのITO膜53と厚さ例えば200nmのCr膜54を順に形成する。なお、第3実施例で説明したように、不純物ドーピングからCr膜の形成までの工程を真空状態を破らずに連続的に行ってもよい。次に、図35(C)に示す状態までの工程を説明する。

【0148】そして、レジストプロセスを適用することにより、面素領域電極、ソース電極形成領域、ドレイン電極形成領域、ドレインバスライン領域、ドレインバス端子部領域を覆うパターンをレジスト膜（図示せず）を形成してから、エッチング・ガスとして例えばO₂とCl₂を含むガスを用いてプラズマエッチング法を適用することによって図36(D)のパターンニングを行う。

【0149】なお、静電気によるダメージが発生するおそれがある場合には、硝酸セリウム第二アンモンを主成分とする水溶液によるウェットエッチング法を適用してもよい。次に、同じレジスト膜をマスクとして、エッチャントをHClとBNO₃の混合液、或いはHClとFeCl₂の

(18)

特開平6-810533

39

混合液とするウェットエッチング法を適用することにより、ITO膜53をパターンニングした後に、続いて、BC1とC1の混合ガスをエッチングガスに使用するR1E法により、前記レジスト膜のパターンからはみ出ている電極コンタクト領域25Aの不用部分をエッチング除去する。これによりソース領域とドレイン領域の短絡が防止される。

【0150】以上の工程を繰り返すことにより、図37に示すように、ITO膜53とC1膜54からなる二層膜で構成されたソース電極55とドレイン電極56とドレインバスライン57が形成され、また、ITO膜からなる図素電極58とドレインバス端子部59が形成される。このように、ITOによりバス端子部を形成すると酸化による接触不良の問題がなくなる。なお、ソース電極55とドレイン電極56はチャネル保護膜26の上で分離される。

【0151】次に、レジスト膜を除去してから、P-CVD法を適用することにより、全面に厚さ例えば300nmのSiNからなる最終保護膜32を形成する。さらに、図示しないレジストパターンを用いて、フッ化水素酸系エッチング液により最終保護膜32をパターンニングする。これにより、図素電極58とドレインバス端子部59の上ではC1膜54が露出され、また、ゲートバス端子部52の上ではゲート絶縁膜24が露出する。

【0152】ところで、ゲートバス端子部52の上のゲート絶縁膜24はフッ化水素酸系エッチング液に対してエッチングレートが小さくなるように形成してあるので、最終保護膜32と同時にエッチングされない。そこで、CF₄とO₂を含む混合ガスをを用いるプラズマ・エッチング法により、ゲートバス端子部52の上のSiNからなるゲート絶縁膜24を除去する。さらに、反応ガスをCl₂及びO₂に変更して図35(C)、図38に示すように図素電極58、ゲートバス端子部52及びドレインバス端子部59の上のC1膜54、54を除去する。

【0153】この結果、透明なITO膜からなるゲートバス端子部52、図素電極58、ドレインバス端子部59が露出することになる。なお、前記工程の説明から明らかであるが、最終保護膜32のパターンニングから完成までのプロセスは、前記工程におけるレジストプロセスで形成されたレジスト膜をマスクにして実施されたものであることが理解されよう。

【0154】以上によりTFTマトリクスを形成するためのレジストマスクは、第1実施例と同様に3、4枚で足りることになる。しかも、ゲートバス端子部52もITOから構成できるので酸化による端子接続不良がなくなる。また、ゲートバスライン61もITO/Crにより形成されているので、ヒロックやホイスカが生じるおそれも完全になくなる。

【0155】なお、この実施例では、蓄積容量は付加していないが、第7実施例のように、ゲート電極を形成す

34

る際にキャパシタの下側電極を同時に形成しておけば、プロセスを増加させずに蓄積容量を付加したTFTマトリクスが形成される。

(1) 本発明の第9実施例の説明

上記した実施例では、活性層25の上のチャネル保護膜26をサイドエッチングすることにより、活性層25の両側を露出させ、その領域に不純物を導入して電極コンタクト領域25Aを形成するようにしている。

【0166】その電極コンタクト領域の面積が充分でない場合には、次のような工程によりチャネル保護膜と電極コンタクト領域を形成してもよい。図39～図41は、本発明の第9実施例を示すTFTマトリクスの要部を示す断面図、図42及び図43は、本発明の第9実施例を示すTFTマトリクスの要部を示す平面図である。これらの図において、第1実施例と同一符号は同一要素を示し、平面図ではゲート絶縁膜及び最終保護膜は省略している。

【0167】まず、図39(A)に示すように、透明絶縁材よりなる基板21の上にゲート電極22を形成した後、全面に、膜厚400nmのSiNからなるゲート絶縁膜24と、膜厚50nmのa-Siからなる活性層25と、膜厚120nmのSiNよりなるチャネル保護膜26を順に積層する。その成膜方法は第1実施例と同じである。その成膜後に、ボジ型のイメージリバーサルレジスト70を塗布し、ついで、フォトマスク71を用いてイメージリバーサルレジスト70を露光し、これを現像して、ゲート電極22とその両側の周辺領域を覆う形状のパターンを形成する。このパターンは、図39(B)、図42(A)に示すように、少なくともゲート電極22とソース領域とドレイン領域を含む範囲に形成する。

【0168】そして、そのイメージリバーサルレジスト70をマスクにして、酸質フッ酸によりチャネル保護膜26をエッチングし、ついでCDE装置を用いてCF₄とO₂の混合ガスにより活性層25をエッチングする。これにより、図39(C)に示すように、チャネル保護膜26及び活性層25のパターンは、イメージリバーサルレジスト70と同じになる。

【0169】なお、チャネル保護膜26と活性層25のエッチングは、連続してCDE装置によってもよい。しかし、プラズマを用いるR1E法を使用すればレジストが感光するので、活性層25のエッチングにはR1E法は不適当である。この後に、基板21の下側から紫外線を照射してイメージリバーサルレジスト70を再び露光する。この場合、ゲート電極22が露光の際のマスクとなり、イメージリバーサルレジスト70を露光した後に、図40(A)、図42(B)に示すように、イメージリバーサルレジスト70は、ゲート電極22とほぼ同じ幅のパターンとなる。

【0160】ついで、図40(B)に示すように、イメージリバーサルレジスト70から露出したチャネル保護膜

(19)

特開平6-310533

35

26を緩衝フッ酸によりエッチングして、ゲート電極22の両側の活性層25を露出する。この場合、ゲート絶縁膜24の材料はSiNであるので、緩衝フッ酸によりエッチングされるおそれがあるが、成膜条件によってはゲート絶縁膜24をエッチングし除くことが可能になる。その詳細は、第1実施例において説明したので省略する。

【0161】次に、イメージリバーサルレジスト70を除去した後に、図15に示すような平行平板型のP-CVD装置の反応室C3の中に基板21をしこみ、300℃以下、好ましくは200～250℃の基板温度に設定する。そして、アルゴン、ネオン、ヘリウム等の不活性ガスをベースにして5%以下のホスフィンを反応室C3内に導入し、さらに、ガス圧力を0.1～2Torrの間の最適な値に設定し、高周波電源RFの投入電力を1kW以下にする。

【0162】この条件でプラズマを発生させると、チャネル保護膜26から露出した活性層25の両側部に、図40(C)に示すように、リングプラズマドーピングされ、これにより、活性層25の両側部にはn⁺型の電極コンタクト領域26Bが形成される。電極コンタクト領域26Bへの不純物の導入は、プラズマドーピングに限るものではなく、第1実施例で示したような3つの方法のいずれであってもよい。プラズマドーピングについては第2実施例に詳説している。

【0163】次に、真空を破らずに基板21を図15に示すスパッタ装置の反応室C4内に移動し、スパッタによりITO膜72、クロム(Cr)膜73をそれぞれ80nm、200nmの厚さに形成する。続いて、図41(A)に示すように、リソグラフィ技術によりITO膜72、クロム膜73をパターンニングして、これらの膜を、図43(A)に示すようにゲート電極22から図素領域、ソース領域、ドレイン領域及びドレインバスライン形成領域に残存させる。併せて、ITO膜72とクロム膜73のパターンからはみ出した電極コンタクト領域26Bがあればこれを除去する。

【0164】それらITO膜72及びクロム膜73のうち、ドレイン領域に残ったものはドレイン電極74となり、ソース領域に残ったものはソース電極75となり、ドレインバスライン領域に残ったものはドレインバスライン76となり、図素領域のITO膜72は図素電極77となる。ついで、全面に、例えば300nmのSiNからなる最終保護膜78をP-CVD法により形成し、さらに、最終保護膜78をパターンニングして図素領域に開口部79を形成した後に、その開口部79から露出したクロム膜73を除去して、図41(B)、図43(B)に示すようなITOよりなる図素電極76を露出させる。

【0165】なお、最終保護膜78に開口部79を形成する場合にはフッ化水素酸系エッチング液を用いる。また、クロム膜の除去は、Cl₂及びBr₂を用いるプラズマエ

36

ッチング法による。以上は、TFTの製造工程を中心にして説明したが、ゲートバスライン端子やドレインバスライン端子については、前に述べた実施例に従って形成する。

【0166】このような工程によれば、イメージリバーサルレジスト70のゲートをマスクにして活性層25をゲート電極22の両側に大きく突出させてパターンニングした後に、さらに、ゲート電極22をマスクにしてそのイメージリバーサルレジスト70を露光、現像し、これをマスクにしてチャネル保護膜26をパターンニングしている。

【0167】これによってチャネル保護膜26はゲート電極22とほぼ同じ幅のパターンとなり、その両側に活性層25が大きく突出した状態となっている。したがって、活性層25とチャネル保護膜26をパターンニングする場合に、フォトリソの位置合わせが一回で済むので、第1実施例と同様に4枚のフォトリソを使用することになる。

【0168】しかも、活性層25の両側に形成された本実施例の電極コンタクト領域26Bは、前記実施例のようにチャネル保護膜26のサイドエッチングにより得られる電極コンタクト領域25Aよりもコンタクト抵抗を小さくできる。なお、本実施例ではチャネル保護膜26のアイランド化と、活性層25のパターンニングの際に、イメージリバーサルレジストを使用した方が、他のポジ型レジストを使用してもよい。イメージリバーサルレジストは、耐湿性に優れているので、数度のパターンニングには最適である。

【0169】また、チャネル保護膜26のアイランド化と活性層25のパターンニングを除いた製造工程については、前記した実施例のいずれかに従ってよい。

(j) 本発明の第10の実施例の説明
上記した実施例では、チャネル保護膜を使用するエッチングストップパインについて説明したが、チャネル保護膜を使用しないチャネルエッチング型のTFTを用いる場合であっても、そのマスク数を少なくすることもできるので、これを第10実施例として説明する。

【0170】図44及び図45は、本発明の第10実施例を解説するための上図におけるTFTマトリクス要素断面図、図46～図48は、その平面図である。図49は、ゲートバス端子部とドレインバス端子部を示す断面図である。なお、本実施例において、既に示された符号と同一符号は同じ要素を示している。

【0171】まず、ガラス基板21の上にスパッタ法により膜厚80nmのITO膜と膜厚150nmのCr膜を順に堆積し、ついで、これらの膜をリソグラフィ技術によりパターンニングすることにより、図44(A)に示すようなITO/Crよりなるゲート電極50とゲートバスライン51と、Cr膜に覆われたITO膜よりなるゲートバス端子部52を形成する。そのパターンニング方法の詳細

37

は、第8実施例のゲート電極形成工程において既に述べたので省略する。

【0172】そのリソグラフィー技術において用いたレジスト膜を剥離した後に、図44(A)に示すように、P-CVD法により第一のSiN膜61、a-Si膜62及びa-SiC膜63をそれぞれ400nm、10nm、100nmずつ順に連続して形成する。ここで、プラズマCVD法に用いる反応ガスの種類を説明すると、SiN膜61の成長のためにSiH₄、NH₃、H₂及びH₂Oの混合ガスを使用し、a-Si膜62の成長のためにSiH₄及びH₂Oの混合ガスを用い、a-SiC膜63の堆積のためにSiH₄、CH₄及びH₂Oの混合ガスを使用している。プラズマCVD装置としては平行平板電極型を用いる場合にはその電極に13.56MHzの高周波電源を電極に接続する。

【0173】なお、TFTの活性層となるa-Si膜62の電子移動度を従来通りの大きさにするためには、少なくとも10nm必要となる。この後に、a-SiC膜63の上にボウ型フォトレジスト64を塗布した後、ガラス基板21の下面から紫外線(UV)を照射し、ゲート電極50、ゲートバスライン51等をマスクにしてそのフォトレジスト64を露光する。

【0174】この後に、図46(A)に示すように、ゲート電極50の上のフォトレジスト64を覆うマスク33を使用してガラス基板21の上から紫外線により露光をする。続いて、フォトレジスト64を現像すると、図44(B)、図46(B)に示すように、ゲート電極50の上のみ島状のレジストパターンが残される。そのレジストパターンのエッチは、ゲート電極50のエッチよりも内側になる。

【0175】この後に、フォトレジスト64をマスクにしてR1E法によりa-SiC膜63とa-Si膜62をパターンニングする。そのエッチングガスとしては、CF₄とO₂の混合ガスを使用するが、a-SiC膜63における炭素の含有量が少ない場合には、塩素系のエッチングガスを使用してもよい。これによりa-SiC膜62はTFTの活性層となる。

【0176】このようなパターンニングの後にレジストマスク64を除去する。次に、PH₃ガスのプラズマ放電中にa-SiC膜63を曝し、a-SiC膜63の表面から約30nmの深さまで溝を掘って図44(C)に示すようなn⁺-a-SiCよりなるコンタクト層65を形成する。その溝のドープ方法は、図40に示すような平行平板型のプラズマCVD装置を使用して、その反応室C内にPH₃ガスとArガスを導入し、ソース電極側にガラス基板21を設け、ガス圧を100Pa、周波数を13.56MHzの高周波電源及びから電極P1、P2にて500Wの放電電力を印加して10～60分間放電させて行う。なお、溝のドープ量、ドープの深さは、ガス圧や電圧パワー、時間などの放電条件を変えて制御することが可能である。

【0177】これにより、a-SiC膜63の上面にコンタ

(20)

特開平6-310533

39

クト層65を形成する。この後に、図45(A)に示すように、スパッタ法によりITO膜53を80nm、Cr膜54を150nmの厚さに形成する。なお、第3実施例で説明したように、溝のドープからCr膜の形成までの工程を真空状態を破らずに連続的に行うてもよい。

【0178】次に、Cr膜54の上にフォトレジスト66を塗布し、これを露光、現像することにより、図面領域電極、ソース電極形成領域、ドレイン電極形成領域、ドレインバスライン領域、ドレインバス端子領域を覆うパターンを形成する。そして、このフォトレジスト66をマスクにしてCr膜54とITO膜53を順にパターニングする。なお、Cr膜54とITO膜53のエッチング液は、ゲート電極のパターニング工程で使った材料と同じにする。

【0179】この後に、フォトレジスト66を除去すると、図45(B)、図47に示すような状態になり、ITO/Crよりなるソース電極55とドレイン電極56とドレインバスライン57が形成され、また、Cr膜54に覆われたITO膜53からなる図面領域電極58とドレインバス端子部59が形成される。この後に、同じレジスト膜を用いてa-SiC膜63のうちの溝ドープコンタクト層65をエッチングして除去し、これによりチャネル領域におけるソース電極55とドレイン電極56との導通を防止する。そのエッチング方法としては、CF₄とO₂の混合ガスを使用するR1E法やアルゴンイオンミリング法等がある。

【0180】そのエッチングの際には、第一のSiN膜61もエッチングされるが、a-SiC膜63のエッチング深さは50nm程度なので、SiN膜61との選択比が1程度で差し支えない。エッチングされた後のSiN膜61の厚さは350nmとなる。次に、フォトレジスト66を除去してから、P-CVD法を適用することにより、全面に厚さ例えば300nmのSiNからなる最終保護膜32を図45(C)に示すように形成する。

【0181】さらに、フォトレジスト67を塗布し、これを露光、現像して図面領域電極58とドレインバス端子部59、ゲートバス端子部52の上に窓を形成する。これにより露出した最終保護膜32と第一のSiN膜61をフッ化水素酸系エッチング液により除去する。これにより、図面領域電極31とドレインバス端子部57及びゲートバス端子部52の上のCr膜が露出される。

【0182】そこで、そのフォトレジスト67のパターンにより露出したCr膜を硝酸セリウム第二アンモニウム溶液により除去すると、図45(D)、図48、図49に示すように透明なITOよりなる図面領域電極58とドレインバス端子部59、ゲートバス端子部52が露出する。なお、上記説明では、活性層、コンタクト層としてa-SiC膜を使用しているが、SiN膜であってもよい。

【0183】以上にチャネルエッチング型TFTマトリクスを形成するためのレジストマスクは、第1実施

(21)

特開平6-310533

39

例と同様に3、4枚で足りることになる。しかも、ゲートバス端子部2もITOから構成できることで酸化による端子接続不良がなくなる。また、本実施例では、チャネル保護膜を用いていないが、ソース・ドレイン電極用のコンタクト層及びトランジスタ活性層の上部を構成する材料として、バンドギャップが大きくて光電効果の小さなa-SiC又はa-SiNを使用しているために、活性層に光が入ってもフォトリソが著しく増大することはない。

【0184】しかも、そのような炭素或いは窒素とシリコンの化合物の膜は、アモルファスシリコンよりも透明であり、300nm程度に厚く堆積しても紫外線を透過するで、ガラス基板21の下から光を照射してフォトリソを露光する方法、即ち露光の自己整合法を用いる際に支障をきたすことはない。なお、この実施例では、蓄積容量を付加していないが、第7実施例のように、ゲート電極を形成する際にキャパシタの下側電極を同時に形成しておけば、プロセスを増加させずに蓄積容量を付加したTFTマトリクスが形成される。

【0185】また、ゲート電極の上でレジストのパターンを形成する方法として、第4実施例〜第6実施例で示したような方法を探ってもよい。

(k) 本発明のその他の実施例の説明

上記した実施例においては、ゲート電極の形成工程においてゲートバスラインと同一平面上に蓄積容量用配線を配設し、これと面素電極と絶縁膜によって容量を形成する方式においては工程上の変更は全くなく、フォトマスクパターンの変更のみでこと足る。また、ゲートバスラインと面素電極を絶縁膜を介してオーバーラップさせる方式においても同様である。

【0186】また、上記した説明では、チャネル保護膜から露出した活性層に溝をドーピングする場合について説明したが、炭素、その他のn型不純物を使用してもよいし、窒素等のp型不純物を使用して低抵抗化してもよい。さらに、上記した実施例では面素電極としてITO膜を使用した。これに代るものではなく、酸化インジウム、その他の透明導電膜を使用してもよい。

【0187】

【発明の効果】以上述べたように本発明によれば、第一段階として、ゲート電極とゲートバスラインのパターンニング、第二段階として、ゲート電極の上でトランジスタの活性層のパターンニング、第三段階として、少なくとも面素電極、ソース電極、ドレイン電極及びドレインバスラインのパターンニング、第四段階として、面素電極、ドレインバスライン端子部及びゲートバス端子部の上の膜を除去するパターンニングをしている。この四つの段階のパターンニングのためには4枚目のフォトマスクを使用すれば足りることになる。

【0188】また、他の本発明によれば、透明絶縁膜体基板の下面から光を当ててゲート電極及びゲートバスラインをマスクに使用してレジストを露光しているの、

40

括性層のパターンニングの際に第二段階のフォトマスクを省略できる。したがって、フォトマスクを使用する回数を大幅に減らせることになり、薄層トランジスタ・マトリクスの歩留りを良くし、延いては液晶パネルの歩留りを向上することが可能になる。

【図面の簡単な説明】

【図1】本発明の液晶表示パネルの薄層トランジスタの等価回路図である。

【図2】本発明の第1実施例を示すTFTマトリクスの要部説明図(その1)である。

【図3】本発明の第1実施例を示すTFTマトリクスの要部説明図(その2)である。

【図4】本発明の第1実施例を示すTFTマトリクスの要部説明図(その3)である。

【図5】本発明の第1実施例を示すTFTマトリクスの要部説明図(その4)である。

【図6】本発明の第1実施例を示すTFTマトリクスの要部説明図(その5)である。

【図7】本発明の第1実施例を示すTFTマトリクスの要部説明図(その6)である。

【図8】本発明の第1実施例を示すTFTマトリクスの要部説明図(その7)である。

【図9】本発明の第1実施例を示すTFTマトリクスの要部説明図(その8)である。

【図10】本発明の第2実施例に用いるドーピング装置の概略構成図である。

【図11】本発明の第2実施例における P_{H} 、 A 、 P_{B} プラズマ処理によるガス圧依存性を示す特性図である。

【図12】本発明の第2実施例のTFTのゲート電圧・ドレイン電流の特性図である。

【図13】本発明の第2実施例におけるプラズマドーピング法を用いたTFTのドーズ量とオン電流の関係を示す特性図である。

【図14】本発明の第2実施例におけるプラズマドーピング法によるドーピング時間とドーズ量の関係、およびドーピング時間とピーク濃度の関係を示す特性図である。

【図15】本発明の第3実施例に用いるドーピング・成膜装置である。

【図16】本発明の第3実施例におけるTFTのドレイン電圧・ドレイン電流特性図である。

【図17】本発明の第3実施例におけるドーピング後の処理の相連によるTFTのドレイン電圧・ドレイン電流特性図である。

【図18】本発明の第4実施例を示すTFTマトリクスの要部説明図である。

【図19】本発明の第4実施例を示すTFTマトリクスの要部説明図である。

【図20】本発明の第5実施例を示すTFTマトリクスの要部説明図である。

(22)

特開平6-310533

41

【図 21】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 22】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 23】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その3）である。

【図 24】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その4）である。

【図 25】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その5）である。

【図 26】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その6）である。

【図 27】本発明の第6実施例を示すTFTマトリクス
の要部断面図（その7）である。

【図 28】本発明の第7実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 29】本発明の第7実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 30】本発明の第7実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 31】本発明の第7実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 32】本発明の第7実施例を示すTFTマトリクス
の要部断面図（その3）である。

【図 33】本発明の第7実施例を示すTFTマトリクス
のゲートバス端子部、ドレインバス端子部の平面図及び
断面図である。

【図 34】本発明の第8実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 35】本発明の第8実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 36】本発明の第8実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 37】本発明の第8実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 38】本発明の第8実施例を示すTFTマトリクス
の要部断面図（その3）である。

【図 39】本発明の第9実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 40】本発明の第9実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 41】本発明の第9実施例を示すTFTマトリクス
の要部断面図（その3）である。

【図 42】本発明の第9実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 43】本発明の第9実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 44】本発明の第10実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 45】本発明の第10実施例を示すTFTマトリクス

42

の要部断面図（その2）である。

【図 46】本発明の第10実施例を示すTFTマトリクス
の要部断面図（その1）である。

【図 47】本発明の第10実施例を示すTFTマトリクス
の要部断面図（その2）である。

【図 48】本発明の第10実施例を示すTFTマトリクス
の要部断面図（その3）である。

【図 49】本発明の第10実施例を示すTFTマトリクス
のゲートバス端子部とドレインバス端子部を示す断面図
である。

【図 50】従来の技術を示すTFTマトリクスの要部説
明図（その1）である。

【図 51】従来の技術を示すTFTマトリクスの要部説
明図（その2）である。

【図 52】従来の技術を示すTFTマトリクスの要部説
明図（その3）である。

【図 53】従来の技術を示すTFTマトリクスの要部説
明図（その4）である。

【図 54】従来の技術を示すTFTマトリクスの要部説
明図（その5）である。

【図 55】従来の技術を示すTFTマトリクスの要部説
明図（その6）である。

【符号の説明】

- 21 基板
- 22 ゲート電極
- 22A 絞り込み部
- 23 ゲートバスライン
- 24 ゲート絶縁膜
- 25 活性層
- 25A, 25B 電極コンタクト領域
- 26 チャネル保護膜
- 26A SIN 膜
- 27 レジスト膜
- 28 ソース電極
- 29 ドレイン電極
- 30 ドレインバスライン
- 31 画素電極
- 32 最終保護膜
- 33 フォトリソグ
- 40 キャパシタ用の下層電極（ITO膜）
- 41 接続用電極
- 42 ゲートバス端子部
- 45 ドレインバス端子部
- 50 ゲート電極
- 51 ゲートバスライン
- 52 ゲートバス端子部
- 55 ソース電極
- 56 ドレイン電極
- 57 ドレインバスライン
- 58 画素電極

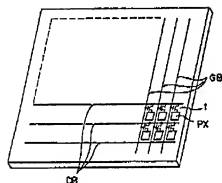
(23)

特開平6-310533

43
59 ドレインバス端子部
61 SIN (ゲート絶縁膜)
62 a-Si膜 (活性層)
63 a-SiC 膜
64 レジスト
65 コンタクト層
66 フォトリソグ
67 最終保護膜
70 イメージリバーサルレジスト
71 フォトマスク
72 ITO膜 (透明電極)

【図1】

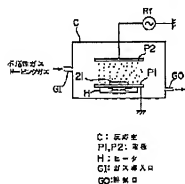
液晶表示パネルの薄膜トランジスタの平面図



1: 両面トランジスタ
PX: 両面電極
GB: ゲートバスライン
DB: ドレインバスライン

【図10】

図2実施例に用いるドーピング装置の概略構成図

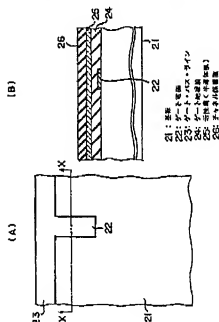


44

73 Cr膜
74 ドレインバスライン
75 開口部
76 固着電極
77 最終保護膜
C, C1~C6 反応室
P1~P4 電極
Rf 高周波電源
GI, N1~N6 ガス導入口
GO, EX1~EX6 排気口

【図2】

図1実施例を示すTFTマトリクス基板の断面図(その1)

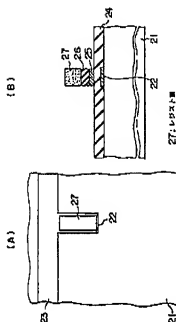


(24)

特開平6-310533

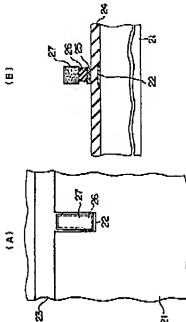
【図3】

第1実施例を示すFETマトリクス装置部断面図(その2)



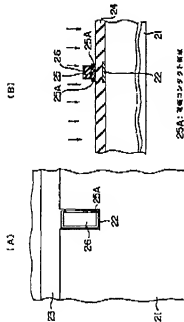
【図4】

第1実施例を示すFETマトリクス装置部断面図(その3)



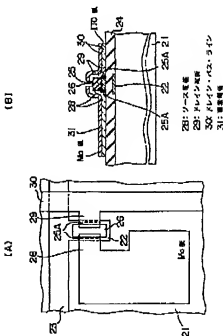
【図5】

第1実施例を示すFETマトリクス装置部断面図(その4)



【図6】

第1実施例を示すFETマトリクス装置部断面図(その5)

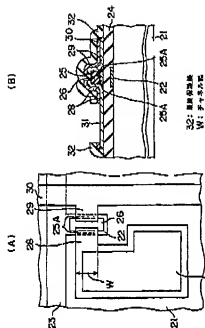


(25)

特開平6-310533

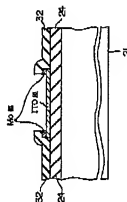
【図7】

第1実施例を示すママトリクスの断面説明図（その6）



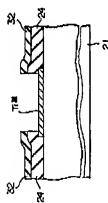
【図8】

第1実施例を示すママトリクスの断面説明図（その7）

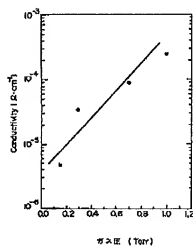


【図9】

第1実施例を示すママトリクスの断面説明図（その8）



【図11】

第2実施例におけるPH₂/Arプラズマ処理によるガス圧依存性を示す特性図

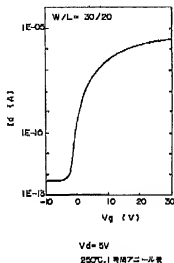
PH₂/Ar=200 sccm
RF/RF=600W
T_g=200°C
アニーラ温度:250°C

(28)

特開平6-310533

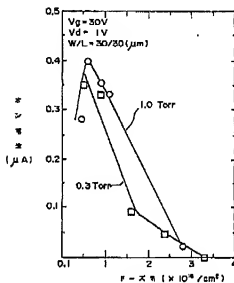
【図12】

第2実施例にてFETのゲート電圧・ドレイン電圧の特性図



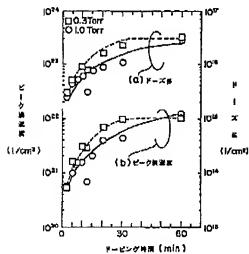
【図13】

本発明の第2実施例におけるグラブドードーピング法を用いたFETのドーズ量とオン電流の関係を示す特性図



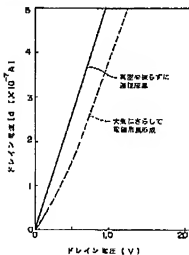
【図14】

本発明の第2実施例におけるグラブドードーピング法によるドーピング時間とドーズ量の関係およびドーピング時間とピーク濃度の関係を示す特性図



【図15】

第3実施例におけるFETのドレイン電圧・ドレイン電流特性図

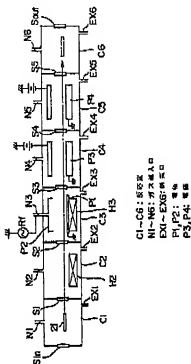


(27)

特開平6-310533

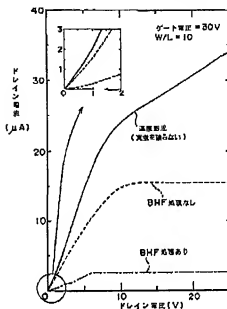
【図16】

第3実施例に用いるドーピング・成膜装置



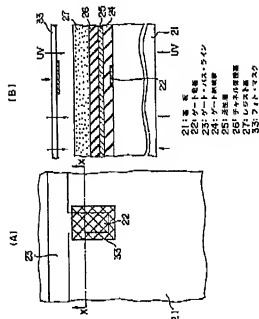
【図17】

本発明の第3実施例におけるドーピング後の処理の相違によるTFTのドレイン電圧・ドレイン電流特性図



【図18】

第4実施例を示すTFTマトリクス基板の断面説明図

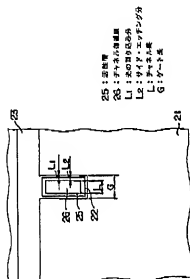


(28)

特開平6-310533

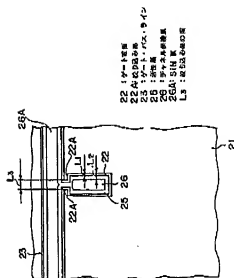
【図19】

第4実施例を示すエドマートリタムの底部平面図



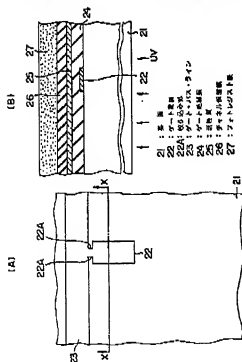
【図20】

第5実施例を示すエドマートリタムの底部平面図



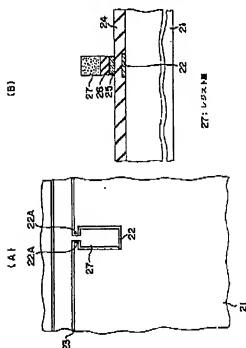
【図21】

第6実施例を示すエドマートリタムの側面図(その1)



【図22】

第6実施例を示すエドマートリタムの側面図(その2)

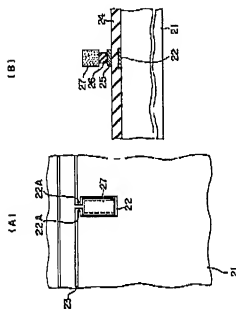


(29)

特開平6-310533

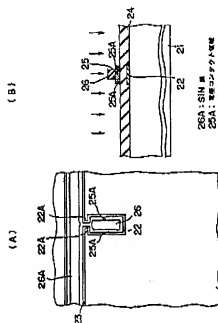
【図23】

第6実施例を示すエポキシ樹脂の断面図(その3)



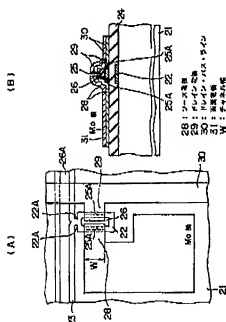
【図24】

第6実施例を示すエポキシ樹脂の断面図(その4)



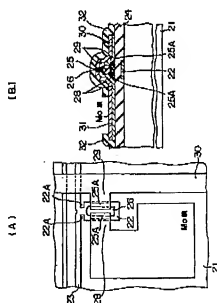
【図25】

第6実施例を示すエポキシ樹脂の断面図(その5)



【図26】

第6実施例を示すエポキシ樹脂の断面図(その6)

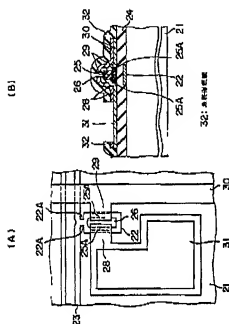


(30)

特開平6-310533

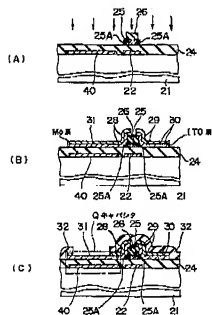
【図27】

第6実施例を示すFETマトリクス装置断面図(その1)



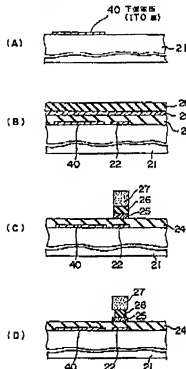
【図29】

第7実施例を示すFETマトリクス装置断面図(その2)



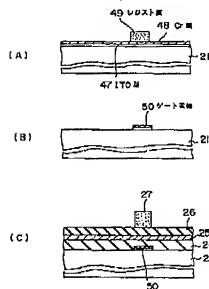
【図28】

第7実施例を示すFETマトリクス装置断面図(その1)



【図34】

第8実施例を示すFETマトリクス装置断面図(その1)

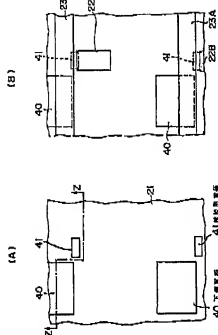


(31)

特開平6-310633

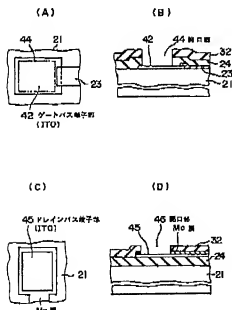
【図30】

第7実施例を示すFETマトリクス装置平面図（その1）



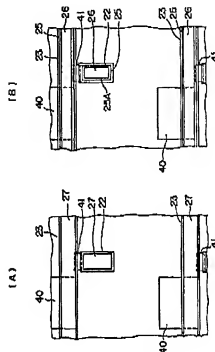
【図33】

第7実施例を示すFETマトリクスのゲートバス端子部、ドレインバス端子部の平面図及び断面図



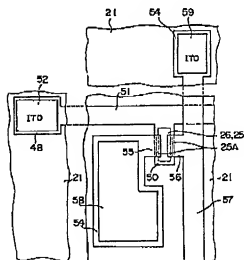
【図31】

第7実施例を示すFETマトリクス装置平面図（その2）



【図38】

第8実施例を示すFETマトリクス装置平面図（その3）

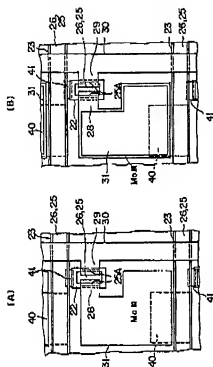


(32)

特開平6-310533

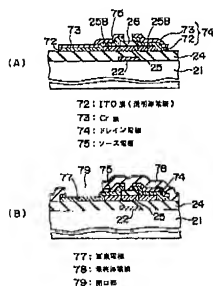
【図32】

第7実施例を示すアマトリタスの要部平面図(その3)



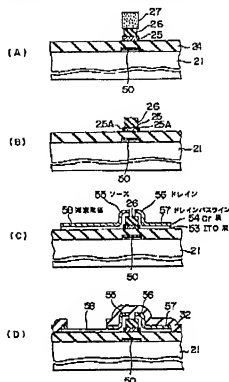
【図41】

第8実施例を示すアマトリタスの要部断面図(その3)



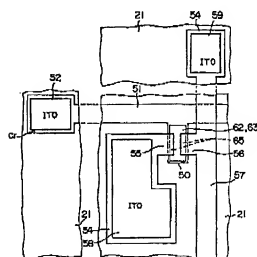
【図35】

第9実施例を示すアマトリタスの要部断面図(その2)



【図48】

第10実施例を示すアマトリタスの要部平面図(その3)

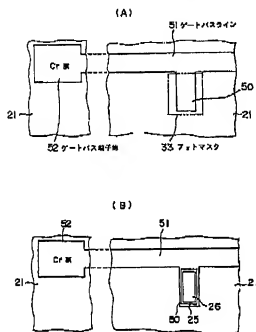


(33)

特開平6-310533

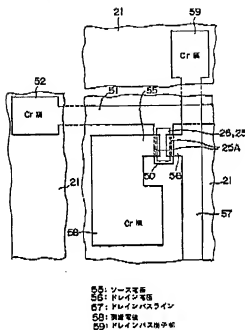
【図36】

図8実施例を示すTFTマトリクス装置平面図(その1)



【図37】

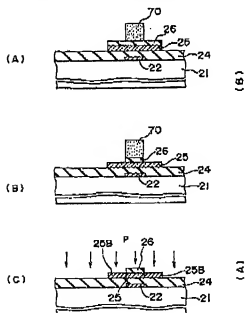
図8実施例を示すTFTマトリクス装置平面図(その2)



50: ソース電極
51: ドレイン電極
52: ゲートバスライン
53: 側線電極
54: ドレインバス電極

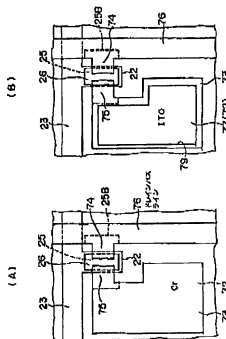
【図40】

図9実施例を示すTFTマトリクス装置断面図(その2)



【図43】

図9実施例を示すTFTマトリクス装置断面図(その2)

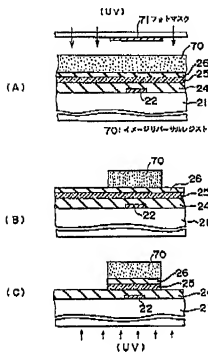


(34)

特開平6-310533

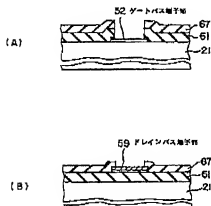
【図39】

第8実施例を示すTFTマトリクス基板断面図（その1）



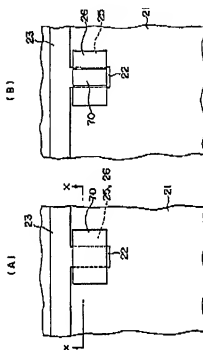
【図49】

第10実施例を示すTFTマトリクス基板のゲートバス配線部とドレインバス配線部を示す断面図



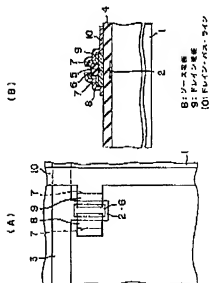
【図42】

第9実施例を示すTFTマトリクス基板断面図（その1）



【図53】

従来の技術を示すTFTマトリクス基板断面図（その4）

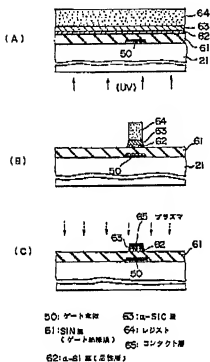


(35)

特開平6-310533

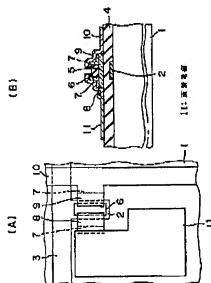
【図44】

第10実施例を示すFETマトリクス基板断面図(その1)



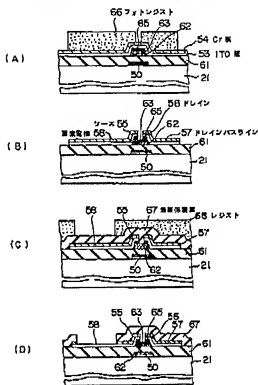
【図54】

従来の技術を示すFETマトリクス基板断面図(その5)



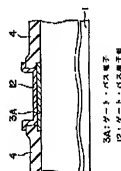
【図45】

第10実施例を示すFETマトリクス基板断面図(その2)



【図55】

従来の技術を示すFETマトリクス基板断面図(その6)

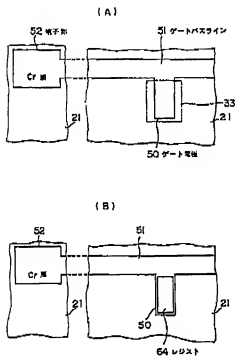


(36)

特開平6-310533

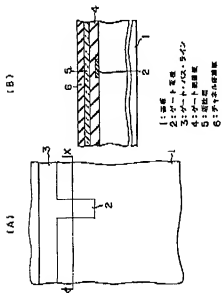
【図46】

第10実施例を示すアモマトリタスの断面平面図（その1）



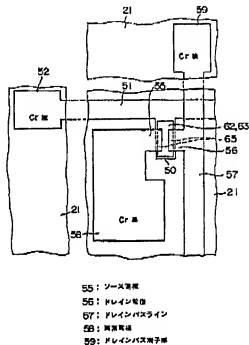
【図50】

従来の技術を示すアモマトリタスの断面説明図（その1）



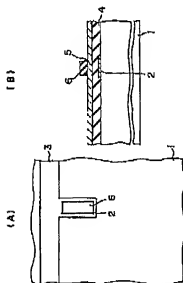
【図47】

第10実施例を示すアモマトリタスの断面平面図（その2）



【図51】

従来の技術を示すアモマトリタスの断面説明図（その2）

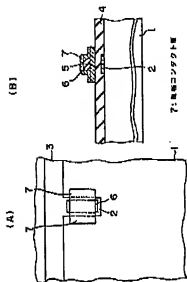


(37)

特開平6-310533

【図52】

従来の技術をなすTFTマトリクス素子の説明図（その3）



フロントページの続き

(51) Int. Cl. 4

// H01L 21/22

識別記号 庁内整理番号

E 9278-4M

F I

技術表示箇所